

(51) Int.Cl.⁴
H 01 L 21/66
G 01 N 21/88

識別記号

F I
H 01 L 21/66
G 01 N 21/88

J
J
6 4 5 A

審査請求 有 請求項の数 6 O L (全 21 頁)

(21)出願番号 特願平11-77221
(52)分割の表示 特願平2-3587の分割
(22)出願日 平成2年(1990)1月12日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 前田 俊二
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内
(72)発明者 広井 高志
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内
(72)発明者 旗田 仁志
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内
(74)代理人 井理士 作田 康夫

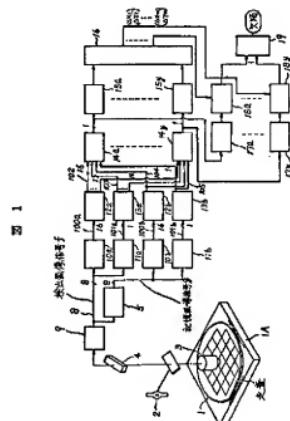
最終頁に続く

(54)【発明の名称】回路パターン欠陥検査方法及びその装置

(57)【要約】

【課題】被検査対象パターン(回路パターン)の膜厚やエッジのだけ具合等の3次元的な形状の相違や、層間のずれ、或いは検出時のサンプリング誤差を考慮として誤検出すること無く、真の欠陥のみを信頼性高く、高精度に検出する。

【解決手段】本來同一となるように形成された複数の被検査対象回路パターンを順次撮像して得た2つの画像のうち少なくとも一方の画像にフィルタリング処理を施して前記2つの画像の位置ずれの状態を変更し、該位置ずれの状態を変更した2つの画像を用いて前記被検査対象パターンの欠陥を検出するようにした。



【特許請求の範囲】

【請求項1】 本来同一となるように形成された複数の被検査対象回路パターンを順次撮像して得た前記被検査対象回路パターンの画像を用いて前記被検査対象回路パターンの欠陥を検査する方法であって、前記被検査対象回路パターンを順次撮像して得た2つの画像のうち少なくとも一方の画像にフィルタリング処理を施して前記2つの画像の位置ずれの状態を変更し、該位置ずれの状態を変更した2つの画像を用いて前記被検査対象回路パターンの欠陥を検出することを特徴とする回路パターン欠陥検査方法。

【請求項2】 本来同一となるように形成された複数の被検査対象回路パターンを順次撮像して得た前記被検査対象回路パターンの画像を用いて前記被検査対象回路パターンの欠陥を検査する装置であって、前記被検査対象回路パターンを撮像して前記被検査対象回路パターンの画像を得る撮像手段と、該撮像手段で順次撮像して得た画像を記憶する記憶手段と、前記撮像手段で得た画像と前記記憶手段に記憶した画像との少なくとも一方の画像に対しフィルタリング処理を施して前記撮像手段で得た画像と前記記憶手段に記憶した画像との位置ずれの状態を変更するフィルタリング手段と、該フィルタリング手段で位置ずれの状態を変更した前記2つの画像を用いて前記被検査対象回路パターンの欠陥を検出する欠陥検出手段とを備えたことを特徴とする回路パターン欠陥検査装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、LSIやウエハ等の被検査対象回路パターン（回路パターン）について、形状欠陥、異物、変色欠陥等の欠陥を自動的に検出する回路パターン欠陥検出方法及びその装置に関する。

【0002】

【従来の技術】 LSI等の集積回路は高集積化と微細化の傾向にある。かかる微細な配線パターンの形成にあつては、欠陥の検出が当該形成の良否を判定する上で重要である。

【0003】 欠陥の検出は、最早、目視では困難なことから多数の人員を配置して目視で行う段階ではなく、欠陥検出の自動化が急務となっている。

【0004】 そこで、光学顕微鏡または電子顕微鏡から得られた半導体素子表面の画像情報を、撮像管や撮像素子等により電気信号に変換した後、所定の信号処理を施して欠陥の検出を行う方法及び其装置が知られている。例えば、セミコンダクタ・ワールド（1984年6月）第112頁から第119頁（Semiconductor World 1984 pp112-119）、或いは特開昭59-192943号公報がある。

【0005】 これらの技術に共通する構成要素を、図14を用いて簡単に説明する。図14において、ランプ2で照らしたウエハ1上の回路パターンを対物レンズ3を

介してイメージセンサ4で拡大検出し、回路パターンの濃淡画像を画像メモリ5に記憶してある一つ前のチップ7a（隣接チップ）の画像と比較し、欠陥判定を行う。検出した画像は、同時に画像メモリ5に格納（記憶画像）、次のチップ7bの比較検査に用いる。

【0006】 図15に欠陥判定の一例を示す。位置合せ回路6aにおいて、検出画像と記憶画像を位置合せし、差画像検出回路6bにより位置合せされた検出画像と記憶画像の差画像を検出する。これを2階層回路6cにより2階層することにより、欠陥を検出する。上記構成により検出画像に存在する欠け8aが検出される。

【0007】

【発明が解決しようとする課題】 しかし、LSIの微細化が進み、サブミクロンLSIの時代に突入している現在、これら従来技術では、微小な欠陥を検出することが困難になりつつある。

【0008】 今後、更に微細化、多層化が進み、複雑で微細な多層パターン中の0.1～0.3μmの欠陥を信頼性高く検出するには、従来の技術だけでは対応できないと予想される。

【0009】 本発明の目的は、被検査対象パターン（回路パターン）の膜厚やエッジのだれ具合等の3次元的な形状の相違や、周間のずれ、或いは検出時のサンプリング誤差を欠陥として誤検出すること無く、其の欠陥のみを信頼性高く、高精度に検出できるようにし、LSIの微細化、多層化に十分対応できるようにし、特に0.1～0.3μmの微小な欠陥も検出可能にした回路パターン欠陥検出方法及びその装置を提供することにある。

【0010】 本発明の他の目的は、被検査対象パターンの形状の出来具合に応じて、欠陥検出の感度を自動で設定できるようにした回路パターン欠陥検出方法及びその装置を提供することにある。

【0011】 本発明の他の目的は、欠陥寸法を正確に検出できるようにした回路パターン欠陥検出方法及びその装置を提供することにある。

【0012】

【課題を解決するための手段】 上記目的を達成するため、本発明は検出した画像上で、回路パターンの位置のずれとして形状欠陥を検出するようにした。

【0013】 また、本発明は、0.5μm程度の比較的大きい形状欠陥や、変色欠陥及び異物を、濃淡差によって検出するようにした。

【0014】 更に、本発明は、位置ずれとして検出された不一致の画素数より、位置合せを行うことにした。

【0015】

【作用】 上記構成により、検出した画像の濃淡波形の形状が正常部においてかなり異なっていても、微細な欠陥を検出することができ、これにより、回路パターンの濃淡変動、エッジのだれ具合の違い、周間のずれ、或いは

検出時のサンプリング誤差を誤検出することがない。ま

た、位置合せ精度を向上させることができるため、より微小な欠陥まで検出することが可能となる。更に、回路パターンの形状欠陥だけでなく、変色等も見逃すことなく、検出できる。更に、欠陥の有無だけでなく、その寸法も正確に検出できる。

【0016】

【実施例】以下本発明を図に示す実施例に基いて具体的に説明する。まず、本発明の原理について図1を用いて説明する。即ち、ウェハ上のチップ7内部の位置7dの回路パターンを光電変換器4にて検出した検出淡画像信号f₁と、例えばウェハ上の隣のチップに対する位置7cの回路パターンを光電変換器4にて検出した画像メモリ5に記憶された記憶淡画像信号gとを次のように比較して欠陥を検出する。

【0017】(1) 淡画像信号f₁、gを各々1次微分回路10a、10bで1次微分し、引算器22a~22hから得られる1次微分の極性。即ち正であるか負であるかを切り出し回路12a、12b及び極性比較回路14a~14yで画像毎に比較し、不一致を欠陥として検出する。

【0018】(2) 1次微分回路10a、10b(図6に具体的に示す。)で1次微分の際、2値化回路23a~23hから得られる1次微分の絶対値が2つの画像信号とともに、或いはいずれかが設定値E_{th}(よりも大きい画面のみ、引算器22a~22hから得られる1次微分の極性を比較して不一致を欠陥として検出する。

【0019】(3) 淡画像信号f₁、gを2次微分回路11a、11bで2次微分して閾値D_{th}で2値化し、極性比較回路14a~14yにおいて、切り出し回路12a、12b、13a、13bの出力信号に基いて一方の領域のみ、上記(2)を行って極性不一致を欠陥とし検出する。

【0020】(4) 図12に示すように、淡画像信号f₁、gを2次微分回路11a、11bで2次微分して閾値D_{th}で2値化し、一方の領域(エッジ領域)で上記(2)を行ってAND回路19から極性不一致を欠陥として検出し、他方の領域(エッジでない領域)では全ての領域で淡画像信号f₁、gの値を比較して差画像信号の2値化により最小面検出回路44から不一致を欠陥として検出する。

【0021】(5) 上記(2)、(3)のいずれかにより得られる不一致領域では、低い閾値、それ以外の領域では高い閾値を設定して、淡画像信号f₁、gの差画像信号を2値化して欠陥を検出する。

【0022】(6) 上記(2)、(3)のいずれかによって得られる不一致の画素数が最小となるように、2つの淡画像f₁、gを位置合せする。

【0023】(7) 上記(2)、(3)のいずれかによって得られる不一致の画素数が設定値以下となる複数の位置で淡画像信号を位置合せする。

【0024】(8) 上記(7)により得られる複数の位置で画像を位置合せし、上記(2)~(5)のいずれかの比較によって得られる共通の不一致を欠陥として検出する。

【0025】(9) 上記(2)、(3)のいずれかによって得られる不一致の画素数が、最小の極性不一致画素数を中心として、位置ずれに対して対称になるように、或いは複数の不一致画素数がほぼ等しくなるように、淡画像をフィルタリングする。

10 【0026】次に上記技術的手段(1)~(9)がどのように動作するかを信号波形を用いて説明する。即ち、図16(a)、(b)、(c)、(d)に示すような淡画像をもつ2つ回路パターンについて図18(a)に示した信号波形f₁、g₁を上記手段(1)、即ち1次微分回路10a、10bにより1次微分してf₁、g₁を得、その極性をプロットすると同図(b)の波形が得られる。1次微分回路10a、10bの引算器22a~22hから1次微分の極性が正であるか負であるかに応じて1、-1なる1bit(1, 0)を割り当て、2つの極性波形を比較して1と-1を不一致として検出すると、同図(c)が得られる。欠陥8bは不一致として検出でき、しかも検出された寸法は、欠陥の実際の寸法に正確に一致している。しかし、正常部において、回路パターンエッジのだけ具合等の違いにより、誤検出が生じたため、手段(2)により、即ち1次微分回路10a、10bの2値化回路23a~23hから1次微分f₁、g₁の絶対値|f₁|、|g₁|について、閾値E_{th}に対し、

$$|f_1| < E_{th} \text{ or } |g_1| < E_{th}$$

30 が成立するとき、1次微分f₁、g₁の極性を強制的の0にする。図19(b)に示す極性波形が得られる。これらを比較すると同図(c)が得られ、欠陥8bのみが正しく検出できる。上記は、max{|f₁|, |g₁|} ≥ E_{th}が成立するが、max{|f₁|, |g₁|} ≥ E_{th}でも類似した結果が得られる。このように手段(2)により欠陥検出が可能であるが、検査対象によつては正常部においても、図20(a)に示したような信号波形f₂、g₂になり、同図(b)、(c)に示すよう明るい部分の波形形状が異なるため、正常部の誤検出が生じる。図14に示したような通常の明視野照明では、回路パターンエッジは暗く観察されるため、暗いエッジについて、上記した手段(2)を施せば、上記誤検出を防ぐことができる。即ち、図21(a)~(d)に示すように手段(3)、即ち2次微分回路11a、11bにより信号波形f₃、g₃の2次微分を閾値D_{th}で2値化し(加算器26、かけ算器27及び加算器28により1、-1なるエッジオペレータを実現し、これを2次微分回路29により設定した閾値D_{th}で2値化し)、

40 50 f₃、g₃を得、この論理和f₃、g₃をと

る。この領域Rは、回路パターンエッジに相当し、この領域で1次微分の極性を比較すると、同図(c)に示すように、誤検出は生じなくなる。

【0027】上記(3)により信号波形の形状がかなり異なっていても、回路パターンエッジに生じた形状欠陥がその有無だけでなく、寸法も含めて正確に検出可能になったが、図22(a)、(b)に示すように、回路パターンF₄と回路パターンG₄の読取率が許容限界以上に異なるときに、これは欠陥として検出可能とするため、手段(4)によりエッジ領域R以外の領域では、同図(c)により得られる同図(d)の差信号波形f₁、f₂、g₁、g₂ (図12及び図13に示す差信号検出回路43a～43yで得られる)を閾値Vthで2階化すれば、同図(e)に示すように欠陥として検出可能になる。

【0028】また、手段(5)によれば、上記手段(3)で得られる不一致領域では、低い閾値を設定し、それ以外の領域で高い閾値を設定して2階化することにより、回路パターンエッジの欠陥は形状欠陥として厳密に小さいものまで検出し、それ以外は誤検出を抑えてある程度ラフに検査することもできる。

【0029】上記した手段(2)、(3)によって得られる不一致の画素数は、2つの画像の位置ずれ量△X (△Y)に対し、図23に示すような形状になる。従って、手段(6)によれば、不一致画素数が最小となるよう切り出し回路12a、12bで2つの画像f₁、g₁を位置合せすれば、画像中の回路パターンエッジ位置が正しく合った状態を実現できる。2つの画像が正しく位置合せされた状態である。2つの画像が正しく位置合せされた状態で手段(2)～(5)により比較を行えば、高精度な欠陥検出が可能である。

【0030】ここで、図24(a)、(b)に示すように、層間ずれが存在する場合には、上記不一致画素数は1点でのみ小さくなるのではなく、多層パターンの各パターンエッジがそれぞれ正しく位置合せされる複数の点で不一致画素数が小さくなる。そこで、例えば、図23において、不一致画素数が最小となる△X=0で2つの画像f₁、g₁を切り出し回路12a、12bで位置合せする。図24(a)、(b)のAA'部、BB'部の信号波形f₁、g₁は同図(c)に示すようになり、上記手段(3)を適用すると、同図(c)に示すようになり、層間ずれ部で誤検出が生じる。次に、不一致画素数が2番目に小さければ、△X=-1で2つの画像f₂、g₂を位置合せする。信号波形f₂と左へ1画素シフトした信号波形g₂に手段(3)を適用すると、同図(g)、(h)となる。そして、同図(i)に示すように、△X=0の判定結果と△X=-1のときの判定結果のANDをAND回路19によりとり、共通に取出される不一致を検出すると、層間ずれに影響されることなく、欠陥のみを正しく検出できる。

【0031】上記不一致画素数は、層間ずれの有無だけ

でなく、回路パターンのものと微小な凹凸などに影響されその値が検査対象に応じて変わるので、不一致画素数に応じて位置合せすべき複数の点の数を決めれば、回路パターンの出来具合に応じて、欠陥検出の感度を自動で設定することができる。

【0032】手段(9)によれば、検出した濃淡画像にフィルタリングを施すことにより、位置ずれの状態を任意に変えることができる。即ち、不一致画素数が図25(a)に示す形状になれば、画素の単位以下の精度で2

10 つの画像が位置合せ可能であることを示し、同図(b)に示す形状になれば、一方の画像が他方にに対し、丁度1/2画素ずれていることを示す。従って、(a)の場合は、不一致画素数が最小となる位置で、ここでは△X=0で、画像を位置合せすれば、極めて精度の高い欠陥判定が可能、非常に微小な欠陥まで検出できる。(b)の場合は、不一致画素数が小さい2点△X=0、△X=-1で画像を位置合せすれば、1/2画素のパターンの形状相違を許容した欠陥判定が実現できる。ここで、上記した画像のフィルタリングは

20 【0033】

【数1】

数 1

$$\begin{bmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{bmatrix}$$

30 【0034】等の係数をもつフィルタを画像にたたみ込むことで実現でき、係数a_{ij}(i,j=1～3)は不一致画素数の値により決められる。

【0035】次に本発明の一実施例を図1により説明する。被検査対象パターン(回路パターン)の光学像を電気信号に変換する光電変換器4としてリニアイメージセンサ、TVカメラ等いかなるものでも使用可能であるが、本実施例ではリニアイメージセンサを用いており、当該リニアイメージセンサの自己走査及びそれと直角方向に移動するXYテーブル1Aにより被検査対象パターン40を形成したウエハ1の2次元回路パターンを検出す。リニアイメージセンサ4により検出されたアナログ信号(映像信号)は、A/D変換器9により、例えば8bitのデジタル信号8に変換され、検出画像信号fと画像メモリ5に記憶されている一つ前のチップの信号(記憶画像信号)gと比較され、欠陥判定が行われる。即ち、図2に示すように、ウエハ上のチップ7内部の位置7dの回路パターンを検出し(検出画像信号f)、これを画像メモリ5に記憶した前のチップに対応する位置7cの回路パターン(記憶画像信号g)と比較することにより、欠陥を検出する。

【0036】まず、図1において、例えば8 bitの検出画像信号 o 及び記憶画像信号 g をそれぞれ1次微分回路10a, 10b, 2次微分回路11a, 11bにより、画素ごとに順次1次微分及び2次微分する。1次微分回路10a, 10bは、図3に示すように画像より 3×3 画素を順次切り出して8方向の1次微分 o_x, o_y, \dots, v 及び o_x', o_y', \dots, v' を求める、それらの恒性(1, 0)と、1次微分の絶対値を2値化して得られる値(1, 0)とからなる、例えば16bitの信号100a, 100bを出力する。ここで、恒性の“1”は正を、“0”は負を表す。2次微分回路11a, 11bは、図4に示すように、1, -2, 1なるオペレータを画像の各画素に適用し、閾値E_{th}で2値化して、パターンのエッジの晴い領域を“1”に、それ以外を“0”にして、例えば1bitの信号101a, 101bとして出力する。次に、切り出し回路12a, 12b, 13a, 13bにより、1次微分回路10a, 10bの出力、及び2次微分回路11a, 11bの出力を切り出す。切り出し回路12a, 13aは、例えば 5×5 画素の領域を切り出し、 ± 2 画素シフトした状態である。切り出し回路12b, 13bは、上記 5×5 画素の中央位置と同期させる。次に、恒性比較回路14a～14yにより、切り出し回路12a, 12b, 13a, 13bの出力を用いて、 ± 2 画素シフトした検出画像信号及び記憶画像信号の1次微分、2次微分結果をそれぞれ比較する。即ち、2次微分により抽出されたパターンエッジの晴い領域において、検出画像信号と記憶画像信号のそれぞれの8方向(個)の1次微分の恒性とその絶対値の大小を各方向ごとに比較し、いずれかの絶対値が大なる領域で恒性が一致しない画素を不一致として値“1”を出力する。切り出し回路12a, 12bは、例えば 5×5 画素の25個の出力を有するので、その場合上記恒性比較回路14a～14yも25個存在する。

【0037】次に、カウント回路15a～15yにより、恒性比較回路14a～14yにより得られる不一致画素数を例えば 1024 画素 $\times 256$ 画素毎に計数する。位置ずれ置換回路16は、カウント回路15a～15yにより得られる不一致画素数を解析し、不一致画素数が、例えば設定値より小さくなる位置ずれ量($\Delta X_1, \Delta Y_1, \dots, \Delta X_m, \Delta Y_m$)を出力する。この位置ずれ量は、例えば図5に示すようなものである。

【0038】次に、恒性比較回路14a～14yの出力を選択回路17a～17yにより、上記位置ずれ量が求められるまで選択させる。そして、領域選択回路18a～18yにより、上記位置ずれ量($\Delta X_1, \Delta Y_1, \dots, \Delta X_m, \Delta Y_m$)に相当する位置の恒性比較回路16の出力だけを生かし(active化)、その他はマスキングする。そして、AND回路19より、領域選択回路18a～18yの出力の論理積をとり、値“1”

を欠陥として出力する。

【0039】なお、後述するように、必ずしも19は、AND回路にする必要はない。領域選択回路18a～18yも同様に必ずしもAND回路にする必要はない。

【0040】次に、各部の構成要素について、更に詳しく説明する。図6は、1次微分回路10a, 10bの構成例を示す図である。8bitのデジタル信号 o より、シフトレジスタ20a, 20b、及びラッチ21a～21iを用いてラッチ21a～21iに 3×3 画素の傾斜を切り出す。この 3×3 画素より図3に示した8方向の1次微分を、引算器22a～22hを用いて算出する。ここで、引算器22aは図3の1次微分 o_x を、引算器22hは1次微分 o_y に相当するが、(引算器22a～22hは図3に示す1次微分 $o \sim v$ を行)引算器22a～22hの出力は、1bitの信号 b_i 、即ち正、負の恒性(1, 0)と、残りの1次微分の絶対値(| $f_x' \mid \text{or} \mid g' \mid$)を表す8bitとする。2値化回路23a～23hは、図19(b)に示すように上記1次微分の絶対値を、予め設定された閾値E_{th}により2値化して2値化信号を得る回路で、1次微分の絶対値(| $f_x' \mid \text{or} \mid g' \mid$)が閾値E_{th}以上であれば“1”を、閾値E_{th}より小さければ“0”を、即ち1次微分の絶対値を2値化して得られる1bitの値(1, 0)を出力する。なおこの閾値E_{th}は、(| $f_x' \mid \text{or} \mid g' \mid$)において変えてよいことは明らかである。即ち、引算器22a～22h及び2値化回路23a～23hから開接した8倍(方向)の恒性を示す信号と開接した8倍(方向)の絶対値の大小を示す信号とが合成されて16bit構成で信号100a, 100bとして出力される。

【0041】図7は、2次微分回路11a, 11bの構成例を示す図である。8bit構成のデジタル信号 o より、シフトレジスタ24a, 24b、及びラッチ25a～25iを用いてラッチ25a～25iに 3×3 画素の傾斜を切り出す。この 3×3 画素より、図4に示したエッジオペレータを用いて2倍のエッジパターンを抽出する。即ち、加算器26、かけ算器27及び加算器28により1～2, 1なるエッジオペレータを実現し、これを2値化回路29により設定した閾値E_{th}で2値化し、40図21(b), (c)に示すように、パターンのエッジの晴い領域を“1”とし、それ以外の領域を“0”にして1bit構成の信号101a, 101bとして出力する。図4に示す他の3種類のエッジオペレータも同様の方法で加算器26、かけ算器27及び加算器28により実現できる。(図7において他の3種類のエッジオペレータを行う加算器26、かけ算器27及び加算器28は省略されている。)

図8は、切り出し回路12a, 12bの構成例を示す図である。1次微分回路10aから出力される16bitのデジタル信号(8個の恒性(1, 0)と8個の1次

微分の絶対値の大小 (1, 0) との合成信号) 100 a より、シフトレジスタ 30 a ~ 30 d、及びラッチ 31 a ~ 31 y を用いてラッチ 31 a ~ 31 y に 5 × 5 画素の領域を切り出す。また、1 次微分回路 10 b から出力される 16 b i t のデジタル信号 100 b (8 個の極性 (1, 0) と 8 個の 1 次微分の絶対値の大小 (1, 0) との合成信号) よりシフトレジスタ 30 e, 30 f、及びラッチ 32 a, 32 b, 32 c を用いてラッチ 32 c に上記 5 × 5 画素の中央画素に相当する画素を出力する。図 11 に示す切り出し回路 13 a, 13 b も同様な構成で実現することができる。図 9 に、その 1 例を示す。即ち、2 次微分回路 11 a から出力される 1 b i t の 2 価信号 (エッジ領域、それ以外の領域を示す信号 (1, 0)) 101 a より、シフトレジスタ 33 a ~ 33 d、及びラッチ 34 a ~ 34 y を用いてラッチ 34 a ~ 34 y に 5 × 5 画素の領域を切り出す。また、2 次微分回路 11 b から出力される 1 b i t の 2 価信号 101 b (エッジ領域、それ以外の領域を示す信号 (1, 0)) よりシフトレジスタ 33 e, 33 f、及びラッチ 35 a, 35 b, 35 c を用いてラッチ 35 c に上記 5 × 5 画素の中央画素に相当する画素を出力する。

[0042] 図 10 は、極性比較回路 14 a ~ 14 y の構成例を示す図である。同図において 1 次微分信号の絶対値が大の領域でのみ極性比較による不一致を有効とする比較回路 37 a は、16 b i t の信号 102, 104 に含まれる極性 (正: 1, 負: 0) について極性 (正: 1, 負: 0) の不一致を検出して不一致の場合 "1"、一致の場合 "0" なる信号を出力する EXOR 回路 36 a, 16 b i t の信号 102, 104 に含まれる 1 次微分信号の絶対値の大小を表わす信号が二つとも (共に) 小 "0" のときには "0" 信号を、それ以外は "1" 信号を出力する NAND 回路 36 b、及び NAND 回路 36 b の出力が "0" のときは EXOR 回路 36 a から "1" なる信号として出力される極性の不一致を出力させない AND 回路 36 c からなる。OR 回路 38 は、8 個 (方向) の比較回路 37 a ~ 37 h の出力の論理和をとって、8 個の比較回路 37 a ~ 37 h の内、少なくとも 1 個の比較回路 37 a ~ 37 h から 1 次微分信号の絶対値が大の領域でのみ極性比較による不一致が検出されたときこの極性不一致信号を出力するものである。OR 回路 39 は、切出し回路 13 a, 13 b から出力される 2 値化エッジパターン信号 103, 105 の論理和をとり、検出画像信号 f と記憶画像信号 g の何れかに、即ち切出し回路 13 a と切出し回路 13 b の何れかにエッジパターン "1" 信号が検出されたことを示す信号 "1" を出力するものである。AND 回路 40 は、OR 回路 38 の出力と OR 回路 39 の出力との論理積をとり、1 次微分信号の絶対値が大の領域において得られる極性不一致信号をエッジパターンにおいて "1" なる信号を出力するものである。

[0043] 上記構成により、図 19 に示すように、同図 (a) に示す検出画像信号 f と記憶画像信号 g とについて、1 次微分信号の絶対値が大の領域 (1 次微分信号 f, ' | or | g, ' | < E th なお閾値 E th は、! f, ' | と | g, ' | とにおいて変てもよいことは明らかである。) においては、"0" にし、他の領域 (1 次微分信号の絶対値が小の領域) について 1 次微分 (f, ' | org, ') の極性 (正 (1)、負 (-1)) 信号に変換した 1 次微分の極性波形を図 19 (b) に示す。そして 1 次微分信号の絶対値が大の領域 (1 次微分信号 f, ' | or | g, ' | < E th) においてを比較し、1 次微分 (f, ') の極性 (正 (1)、負 (-1)) 信号と 1 次微分 (g, ') の極性 (正 (1)、負 (-1)) 信号とを比較して不一致 (1/-1) なる信号を、図 10 に示す極性比較回路 14 a ~ 14 y の OR 回路 38 から、判定結果として図 19 (c) に示す如く得られる。即ち 1 次微分信号の絶対値が大の領域において、検出画像信号 f と記憶画像信号 g とについて極性の不一致として、図 10 に示す極性比較回路 14 a ~ 20 14 y の OR 回路 38 から欠陥 8 b が検出される。しかし、図 18 に示すように、検出画像信号 f と記憶画像信号 g とについて、極性の不一致のみで欠陥 8 b を検出しただけでは、図 18 に示すように、正常部において、検出画像信号 f と記憶画像信号 g との関係において出力画像信号の著しい相違によって極性の不一致が検出され、欠陥として誤検出してしまう。そこで、1 次微分信号の絶対値が大の領域において検出画像信号 f と記憶画像信号 g との極性の不一致を検出すれば、図 19 に示すように、正常部について誤検出することがなくなる。更に、図 20 に示すように、回路パターンが微細化されるに伴って、回路パターンの中央部において、検出画像信号 f と記憶画像信号 g との関係において極性の不一致が検出され、正常部が欠陥として誤検出されることになる。そこで、図 21 (a) に示す検出画像信号 f と記憶画像信号 g とを、各々 2 次微分回路 1 1 a, 1 1 b によって 2 次微分信号 f, " g, " (図 21 (b) に 2 次微分として示す。) を得、この 2 次微分信号 f, " g, " を閾値 D th で 2 値化 (f, " = f, " > D th, g, " = g, " > D th) したエッジ信号 1 30 40 0 1 a, 1 0 1 b (図 21 (c) に 2 次微分の 2 値化として示す。) を得、図 10 に示す極性比較回路 14 a ~ 14 y の OR 回路 39 で何方がエッジ信号があるかどうか OR 検出 (f, " | U g, ") し (図 21 (d) | CO R 検出として示す。) 、"1" なる回路パターンのエッジ信号を得る。そして図 10 に示す極性比較回路 14 a ~ 14 y の OR 回路 39 で OR 検出された "1" なる信号で、極性比較回路 14 a ~ 14 y の OR 回路 38 から検出される極性不一致による欠陥信号を AND 回路 40 において論理積をとってフィルタすることによって図 2

(非エッジ領域)で発生する極性不一致による正常部における誤検出を無くすことができる。

【0044】図11は、領域選択回路18a～18y、AND回路19の構成例を示す図である。選択回路17a～17yより出力される極性比較結果は、切り出し回路12a、12b、13a、13bによって±2画素シフトした位置において検出画像信号fと記憶画像信号gとの極性を比較した結果得られる不一致2階化信号であり、これと位置ずれ重複出回路16で得られる位置ずれ量($\Delta X_1, \Delta Y_1, \dots, \Delta X_m, \Delta Y_m$)に基づいて領域選択回路(AND回路)18a～18yに入力される2階化信号が“1”なる信号として選択され、領域選択回路(AND回路)18a～18yにおいては極性比較回路14a～14yから出力される不一致2階化信号と位置ずれ重複出回路16から選択された2階化信号との論理積がとられ、即ち図23に示すように位置ずれ量がある閾値Fth(Sth)を以てマスキングし、AND回路19により±2画素の範囲でそれらの論理積をとり、図24に示した判定を実現することができる。

【0045】特に図24に示すように、多層回路パターンの場合、位置ずれ重複出回路16、領域選択回路(AND回路)18a～18y、及びOR回路19を欠陥検出において必要となる。即ち、検出多層パターンFzを図24(a)に、基準多層パターンGzを図24(b)に示す。そして検出多層パターンFzの検出画像信号fzと基準多層パターンGzの記憶画像信号gzとについてその信号波形を図24(c)に示す。これらの信号波形からわかるように、両者の間に位置ずれのない部分と位置ずれるある部分が発生する。多層パターンの場合、上層同志は位置ずれがないが、下層においては位置ずれが生じてしまうものである。そのため、一次微分回路11a、11bからは、図24(d)に示す微分の極性波形信号100a、100bが得られる。この極性波形信号100a、100bを極性比較回路14a～14yにおいて比較しただけでは、判定結果I(エッジ領域において極性不一致として図24(e)に示すように誤検出と欠陥による不一致が検出されてしまう。)が生じる。そこで図24(e)に、検出多層パターンFzの検出画像信号fzに対して基準多層パターンGzの記憶画像信号gzを左へ切り出し回路12bでシフトさせた関係を示した。これらの微分の極性波形信号100a、100bを図24に示した。そしてこの極性波形信号100a、100bを極性比較回路14a～14yにおいて比較して得られる判定結果II(エッジ領域において極性不一致として図24(f)に示すように二つの誤検出と欠陥による不一致が検出される。)が得られる。これらの判定結果Iと判定結果IIとをAND回路19によって論理積をとることによって図24(i)に示すような最終判定結果(真に欠陥による極性不一致のみ検出できる。)が得られる。

【0046】以上、1次微分の極性を用いた位置合わせと欠陥判定法についての構成例を説明した。上記構成により、被検査対象であるLSIウエハ等の回路パターンに、膜厚やエッジのだけ具合等の3次元的な形状相違や、層間のずれ、或いは検出時のサンプリング誤差による形状の相違、濃淡の相違があつても、真の欠陥のみを高精度に検出できる。

【0047】また、パターンエッジの最弱点の位置ずれが欠陥として検出でき、極めて寸法精度が高い。

【0048】上記構成例では、1次微分、2次微分とともに、3×3画素を切出して行ったが、5×5画素等に拡大しても実現できる。また、2次微分は、明視野照査のもとで得られる画像を対象としたため、暗いパターンエッジを検出する構成としたが、暗視野照査では、明るいパターンエッジを検出すべく、-1, 2, -1等のエッジオペレータにしてもよい。

【0049】また、図1の位置ずれ検出回路16では、不一致画素数S($\Delta X, \Delta Y, \Delta X, \Delta Y = -2, -1, 0, 1, 2$ に対し、

20 S($\Delta X, \Delta Y$) ≤ Sth(Fth)

なる位置ずれ量 $\Delta X, \Delta Y$ を求めたが、閾値Sth(Fth)として、定数を設定する以外に、

【0050】

【数2】

数 2

$$Sth = C_1 \cdot \{ \min_{\Delta X, \Delta Y} S(\Delta X, \Delta Y) \} + C_2$$

【0051】等により、自動設定してもよい。ここで、30 C_1, C_2 は、定数である。これにより、回路パターン(配線パターン)の出来具合に応じて、位置合せすべき点の数を増減することができ、欠陥検出感度を自動で設定可能になる。

【0052】また、層間のずれをより積極的に許容するため、以下に述べる方法で複数の位置合わせを求めてよい。不一致画素数S($\Delta X_{min}, \Delta Y_{min}$) (ここで $\Delta X_{min}, \Delta Y_{min}$ は $(\Delta X, \Delta Y)$ が最小となる $\Delta X, \Delta Y$)は、検出画像信号fと記憶画像信号gが位置合せされた時の不一致画素数であり、正常部の不一致と欠陥からなる。正40 常部の不一致は、層間ずれが主な原因であり、この他に、回路パターンの微小な凹凸がある。

【0053】層間ずれパターンでは、一方の画像(例えば記憶画像)を x, y 面内でシフトすると、図26に示すように位置合せ可能な位置($\Delta X_r, \Delta Y_r$)が存在する。従って、層間ずれのある領域では、S($\Delta X, \Delta Y$)の値は小さくなる。一方、欠陥は、上記位置($\Delta X_r, \Delta Y_r$)で必ずしも合せ込まれるとは限らず、欠陥部のS($\Delta X_r, \Delta Y_r$)の値は変わらない。しかし、層間ずれのないパターンに対しては、一方の画像をシフトすると、(Xm in, Ym in)で一致していた正常部が不一致として検出

されてしまい、結果的には、 $S(\Delta x_r, \Delta y_r)$ の値が小さくならない。従って、 $S(\Delta x, \Delta y)$ の大小からは、層間ずれを許容する位置 $\Delta x_r, \Delta y_r$ を直接見出すことはできない。

【0054】そこで、式(1)で与えられる $S(\Delta x, \Delta y, \Delta x_{of}, \Delta y_{of})$ なる量を導入する。

【0055】

$$\begin{aligned} & \Delta S(\Delta x, \Delta y, \Delta x_{of}, \Delta y_{of}) \\ &= \Delta S(\Delta x_{min} + \Delta x_{of} - \Delta x, \Delta y_{min} + \Delta y_{of} - \Delta y) \\ & - 2 S(\Delta x_{min} + \Delta x_{of}, \Delta y_{min} + \Delta y_{of}) \\ & - S(\Delta x_{min} + \Delta x_{of} - \Delta x, \Delta y_{min} + \Delta y_{of}) \quad (1) \end{aligned}$$

この ΔS は、 $(\Delta x_{min} + \Delta x_{of}, \Delta y_{min} + \Delta y_{of})$ の位置において、 $\Delta x, \Delta y$ だけ一方の画像をシフトしたとき、シフトしても消去できない不一致を表す。これを、図27を用いて説明する。図27は画像シフトによる層間アライメント誤差の補償実験例(3層パターン)を示した図、即ち3層の模擬パターンの例を示し、検出画像と記録画像の間に微妙な層間ずれが存在する。図27では、記録画像を土 $\Delta x, \Delta y$ (いずれも1)画素だけ x, y 面内でシフトし、極性比較を行って得られた不一致画像を表している。同図において、 $(\Delta x_{min}, \Delta y_{min}) = (0, 0)$ であり、また $(\Delta x_r, \Delta y_r) = (1, 1), (0, -1)$ なる位置で、層間ずれが許容される。

【0056】ここで、 $(\Delta x_{of}, \Delta y_{of}) = (0, 0)$ として、 $\Delta S(\Delta x, \Delta y, 0, 0)$ が最小となる $(\Delta x_s, \Delta y_s)$ なる位置は、B層が位置合せされる位置(1, 1)を表しており、 $\Delta S(\Delta x_s, \Delta y_s, 0, 0) / 4 = (0, 0)$ でのC層に関する不一致。

【0057】 $S(0, 0) - \Delta S(\Delta x_s, \Delta y_s, 0, 0) / 4 = (0, 0)$ でのB層に関する不一致。

【0058】となっている。しかも、 $S(0, 0) - \Delta S(\Delta x_s, \Delta y_s, 0, 0)$ なる量は、(1, 1)で零にならぬ

$$\min \Delta S(\Delta x, \Delta y, \Delta x_{of}, \Delta y_{of}) \leq \min \Delta S(\Delta x, \Delta y, 0, 0) \quad (3)$$

が成り立つ位置は $(0, -1), (0, 0), (1, 0), (0, 1), (1, 1)$ の5点となる。これらの位置は、A層、B層、C層すべてを正しく位置合せできるものであり、この考え方方が妥当であることが分かる。

【0065】2層パターンの場合には、上記考え方が最も

$$\min \Delta S(\Delta x, \Delta y, \Delta x_{of}, \Delta y_{of}) \leq \min \Delta S(\Delta x, \Delta y, 0, 0) < S_{th} \quad (4)$$

が成り立つ $(\Delta x_{min} + \Delta x_{of}, \Delta y_{min} + \Delta y_{of})$ 及び $(\Delta x, \Delta y)$ だけシフトした位置は、 $(0, 0)$ 及び $(1, 1)$ となり、A層とB層がそれぞれ正しく位置合せされる位置となっている。

★
数 3

if $S(\Delta x_{min}, \Delta y_{min}) \geq 1$ (不一致画素数大)

(不一致あり…欠陥／層間ずれ) then

【0068】

50 【数4】

*る。これは、パターンを複数の位置で位置合せして得られる不一致画素数において、ある不一致画素数が2箇所の不一致画素の符号は線形和に近い値をもつ位置を選択すれば最適な位置合せができる事を表している。

【0059】従って、 $\min \Delta S(\Delta x, \Delta y, 0, 0) / 4 : (\Delta x_{min}, \Delta y_{min})$ 及びこれより $(\Delta x, \Delta y)$ だけシフトした位置では、位置合せできない層に関する不一致。

【0060】 $S(\Delta x_{min}, \Delta y_{min}) - \min \Delta S(\Delta x, \Delta y, 0, 0) / 4 : (\Delta x_{min}, \Delta y_{min})$ では位置合せできないが、 $(\Delta x, \Delta y)$ だけシフトすると位置合せ可能な層に関する不一致。

【0061】と表現できる。また、より一般的に、 $\min \Delta S(\Delta x, \Delta y, \Delta x_{of}, \Delta y_{of}) / 4 : (\Delta x_{min} + \Delta x_{of}, \Delta y_{min} + \Delta y_{of})$ 及び $(\Delta x, \Delta y)$ シフトしても位置合せできない層に関する不一致。

【0062】 $S(\Delta x_{min} + \Delta x_{of}, \Delta y_{min} + \Delta y_{of}) - \min \Delta S(\Delta x, \Delta y, \Delta x_{of}, \Delta y_{of}) / 4 : (\Delta x_{min} + \Delta x_{of}, \Delta y_{min} + \Delta y_{of})$ では位置合せできないが、 $(\Delta x, \Delta y)$ だけシフトすると位置合せできる層に関する不一致。

【0063】となる。従って、 $\min \Delta S(\Delta x, \Delta y, \Delta x_{of}, \Delta y_{of}) / 4$ が小さく、 $S(\Delta x_{min} + \Delta x_{of}, \Delta y_{min} + \Delta y_{of}) - \min \Delta S(\Delta x, \Delta y, \Delta x_{of}, \Delta y_{of}) / 4$ が大きい位置 $(\Delta x_{min} + \Delta x_{of}, \Delta y_{min} + \Delta y_{of})$ 、及び $(\Delta x, \Delta y)$ なる画像シフト位置では $(\Delta x_{min} + \Delta x_{of}, \Delta y_{min} + \Delta y_{of})$ で合わなかった多くの正常部が、 $(\Delta x, \Delta y)$ のシフトにより正しく位置合せされ、そのため消去でき、しかも、画像シフトしても合わない不一致は小さいことになる。

【0064】図27の例では、 $\min \Delta S(\Delta x, \Delta y, 0, 0) / 4 < S_{th}$ (2)
30 (S_{th}:閾値)が成り立つ位置は $(0, 0), (1, 1)$ であり、また

※過解を導く。図28は画像シフトによる層間アライメント誤差の補償実験例(2層パターン)を示した図、即ち2層の模擬パターンの例を示し、検出画像と記録画像の間に微妙な層間ずれが存在する。同図において、

【0066】次に、 $(\Delta x_s, \Delta y_s)$ の具体的検出手段を示す。

【0067】

【数3】

數 4

if $S(\Delta X_{min}, \Delta Y_{min}) - \min|\Delta S(\Delta X, \Delta Y, 0, 0) / 4| \geq \gamma_2$
 $\Delta X, \Delta Y$

【0069】 $(\Delta x_{\min}, \Delta y_{\min})$ の位置において、不一致画素数 S $(\Delta x_{\min}, \Delta y_{\min})$ のうち、この位置では位置合わせができないが、 $(\Delta x, \Delta y)$ だけ画像シフトすると位置合わせできるパターンに関する不一致画素数。この値が大きい（履間すれと考えられる。）（消去最大…履間すれ）

* [0071] ($\Delta X_{\min}, \Delta Y_{\min}$) の位置において、不一致画素数 S ($\Delta X_{\min}, \Delta Y_{\min}$) のうち、この位置から ($\Delta X, \Delta Y$)だけ画面シフトしたとき、シフトしても位置合せできない不一致の画素数。この値が小さい（不一致全体が小さい）。（不一致小…消去可）
 [0072]

数 5

or $\min\Delta S(\Delta X, \Delta Y, 0, 0) < 0$,

數 6

then

```
select  (dXmin+dX,dYmin+dY)
```

$$(\Delta X_{\min} + \Delta Y_{\min})$$

【0073】画像をマッチングする位置の選択。 ※【数7】
【0074】 ※

数 7

endif

if $S(\Delta X_{min}, \Delta Y_{min}) - \min|\Delta S(\Delta X, \Delta Y, 0, 0)/4| \geq Y_2$
 $\Delta X, \Delta Y$

【0075】($\Delta x_{\min}, \Delta y_{\min}$) の位置において、不一致画素数 $S(\Delta x_{\min}, \Delta y_{\min})$ のうち、この位置では位置合せができないが、($\Delta x, \Delta y$) だけ画像シフトすると位置合せができるパターンに関する不一致画素数。この値が★大きい(屈曲され)【0076】
【数8】

数 8

then

if $|\min \Delta S(\Delta X, \Delta Y, \Delta X_{\text{off}}, \Delta Y_{\text{off}})| \leq \Delta X, \Delta Y$
 $\min |\Delta S(\Delta X, \Delta Y, 0, 0)|$
 $\Delta X, \Delta Y$

【0077】($\Delta x_{\min}, \Delta y_{\min}$) にオフセット ($\Delta x_0, \Delta y_0$) を付加した位置 ($\Delta x_{\min} + \Delta x_0, \Delta y_{\min} + \Delta y_0$) で、
 (A_x A_y) だけシフトした位置でも不一致の画素数が
 小さい。(消去最大)
 【0078】
 【数9】

数 9

then

```
select (Δxmin+Δxoff+ΔX, Δymin+Δyoff+ΔY),
       (Δymin+ΔYoff, Δymin+ΔYoff)
```

[0079] 画像をマッチングする位置の選択。

[0080]

endif

endif

endif

任意の2点で位置合せし、これらの位置で消去可能な不一致を求める、残される不一致が小さい位置を留置すれば許容される位置として検出する。

[0081] 図12は、他の実施例を示した図である。イメージセンサ4からAND回路19までは、図1と同一の構成である。遅延回路41a, 41bにより、検出画像信号fと記憶画像信号gを遅延させ、切り出し回路12a, 13aと同様な構成の切り出し回路42aにより、遅延した検出画像信号fの5×5画素領域を切り出し、±2画素シフトした状態を作る。また、切り出し回路12b, 13bと同様な構成の切り出し回路42bにより、遅延した記憶画像信号gに対し、上記5×5画素の中央位置と同期させる。次に、差画像検出回路43a～43yにより切り出し回路42a, 42bの出力を用いて、±2画素シフトした検出画像信号fと、記憶画像信号gの差画像を検出する。最小値検出回路44は、対応する切り出し回路13a, 13bの出力の論理和をとるOR回路39で検出されるところの図21(d)に“0”として検出されるエッジ以外の領域において、差画像検出回路43a～43yの差画像出力のうち、位置ずれ量検出回路16により検出された位置における最小値を検出する。OR回路39で検出されるところの2値化エッジパターンのいずれかが“1”であれば、最小値を例えば0として差画像出力を0とする。2値化回路45は、最小値検出回路44の最小値差画像出力を所定の閾値Vth(例えば図22に示す)で2値化して変色等の欠陥を検出し、これとAND回路19の出力の論理和をとる回路である。

[0082] 上記構成により、図22に示すように、差画像検出回路43a～43yは、図22(c)に示すパターンF_iの検出画像信号(信号波形)f_iとパターンG_iの検出画像信号(信号波形)g_iとの差画像(図22(d))に差信号波形として示す。)を検出し、最小値検出回路44は、切り出し回路13a, 13bの出力の論理和をとるOR回路39で“0”として検出されるところの非エッジ領域において、差画像検出回路43a～

43yから出力される差画像信号のうち、位置ずれ量検出回路16により出力された位置の範囲(位置ずれのない領域)における最小値を求め、該差画像信号の最小値が所定の閾値Vth以上のとき2値化回路45は“1”なる信号を出し、これとAND回路19の出力と論理和をとる回路22(e)に示すように変色等の欠陥についても検出することが可能となる。

[0083] 他の実施例として、図12において、上記2値化回路45をなくし、OR回路39で検出されるところの2値化エッジパターンの信号を用いることなく、差画像検出回路43a～43yから出力される差画像信号のうち、位置ずれ量検出回路16により出力された位置の範囲(位置ずれのない領域)における最小値を求め、AND回路19より出力される信号が不一致となった領域については、低い閾値、それ以外は(信号が不一致にならない領域については)高い閾値で差画像信号の最小値を最小値検出回路44で2値化することによって得られる2値化信号によって各種の欠陥(形状欠陥や変色欠陥等)を検出することができる。

[0084] また、他の実施例として、図12において、2値化回路45で用いる閾値Vthとして、検出画像信号fと記憶画像信号gをそれぞれf(x, y), g(x, y)とする。

$Vth(x, y) = C_1 \min\{f(x, y), g(x, y)\} + C_2$
としても良い。ここで、C₁, C₂は定数である。上記閾値Vth(x, y)で最小値検出回路44の出力を2値化すれば、回路パターンの明るさに応じて最適な2値化ができる、各種の欠陥を検出することができる。なお、この場合は、最小値検出回路44に入力される検出画像信号から、位置ずれ量検出回路16により求められる最小不一致画素数の位置ずれに対応する画素の濃淡値と、対応する記憶画像信号の画素の濃淡値から、その画素の閾値Vthを決める。

[0085] 図13は、画像のフィルタリング操作を行うための他の実施例を示した図である。イメージセンサ4から位置ずれ量検出回路16までは、図1と同一の構成である。係数検出回路46は、位置ずれ量検出回路16より、不一致画素数の値を入力し、これにより後述するフィルタ回路47a, 47bの係数a_{i,j}, b_{i,j}を求める回路である。遅延回路41a, 41bに遅延させた画像信号に対し、フィルタ回路47a, 47bは、係

数 a_{ij} , b_{ij} をもつフィルタをたたみ込む回路である。切り出し回路4 2 a は、フィルタリングされた検出画像信号の 5×5 画素の領域を切り出し、 ± 2 画素シフトした状態を作る。また、切り出し回路4 2 b は、フィルタリングされた記憶画像信号 g を、上記 5×5 画素の中央位置に同期させる。次に、差画像検出回路4 3 a ~ 4 3 y により、切り出し回路4 2 a, 4 2 b の出力を用いて、 ± 2 画素シフトした検出画像信号 f と、記憶画像信号 g の差画像信号を検出する。最小値検出回路4 4 は、差画像検出回路4 3 a ~ 4 3 y のうち、位置ずれ量検出回路1 6 により出力された位置の差画像の最小値を検出する。2 値化回路4 5 は、最小値検出回路4 4 の出力を2 値化する回路である。

*
数 10

$$[a_{ij}] = \left(\begin{bmatrix} 0 & 0 & 0 \\ 0 & 0.8 & 0.2 \\ 0 & 0 & 0 \end{bmatrix} + \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0.7 & 0 \\ 0 & 0.3 & 0 \end{bmatrix} \right) / 2$$

$$= \begin{bmatrix} 0 & 0 & 0 \\ 0.75 & 0.1 & 0 \\ 0.15 & 0 & 0 \end{bmatrix}$$

$$[b_{ij}] = \begin{bmatrix} 0 & 0.15 & 0 \\ 0.10 & 0.75 & 0 \\ 0 & 0 & 0 \end{bmatrix}$$

【0089】となる。

【0090】上記は、2つの画像を正確に一致させる例を示したが、例えば $1/2$ 画素だけずれたように2つの画像をシフトさせ、図2 (b) に示すように、 $\Delta X = 0$, $\Delta Y = -1$ のように複数位置での最小値検出を行えば、 $1/2$ 画素の形状差を精緻に許容することもできる。

【0091】上記構成によれば、不一致画素数と一致ずれ量の関係から、画像を任意の精度で位置合わせることができ、例えば、図2 6 に示すように画像検出時のサンプリング誤差を補償することが可能になる。ここで、(a) は検出パターン、(b) は記憶パターンを示し、(c) はフィルタリング後の検出パターンと記憶パターンを表わす。

【0092】図1 3 では、濃淡画像の差画像検出により欠陥判定を行う例を示したが、これは、図1 に示したように、極性比較による判定でもよいし、図1 2 に示したように極性比較と差画像を検出の組合せでも可能である。

【0093】上記構成によれば、位置合わせ精度が従来の画素単位から画素未満の単位に飛躍的に向上させることができることの結果、より微小な欠陥まで検出することが可能になる。

【0094】

* 【0086】ここで、係数検出においては、図2 3 に2次閏数等を当てはめ、最小二乗法等により不一致画素数が最小となる仮想の位置を画素単位以下の精度で求め、この位置と不一致画素数が最小となる画素単位の位置の差を検出する。そして、この差の $1/2$ の量だけ、検出画像信号及び記憶画像信号をそれぞれ逆方向にシフトさせるフィルタ係数 a_{ij} , b_{ij} を求める。

【0087】例えば、検出画像を x 方向に 0.2 画素、 y 方向に 0.3 画素、記憶画像はその逆方向に同量だけシフトされれば、2つの画像が一致する場合には、係数は、

【0088】
【数10】

10

【発明の効果】本発明によれば、検出した画像の濃淡波形の形状が正常部においてかなり異なっていても、微細な欠陥を検出することができ、これにより、パターンの競合変動、エッジのだれ具合の違い、層間のずれ、或いは検出時のサンプリング誤差を誤検出することがない。また、位置合わせ精度を向上させることができるとため、より微小な欠陥まで検出することができる。さらに、パターンの形状欠陥だけでなく、変色等も見透すことなく、検出できる。さらに、欠陥の有無だけでなく、その寸法も正確に検出できる。

【図面の簡単な説明】

【図1】本発明の回路パターン欠陥検出方法及びその装

40 置の一実施例を示す概略構成図。

【図2】2 チップ比較の説明図。

【図3】図1に示す1次微分回路において1次微分を行なう1次微分の一例を示す図。

【図4】図1に示す2次微分回路において2次微分を行なう2次微分の一例を示す図。

【図5】位置ずれ量 (ΔX , ΔY) を示した図。

【図6】1次微分回路の具体的構成の一例を示した構成図。

【図7】2次微分回路の具体的構成の一例を示した構成

50 図。

【図8】1次微分回路から出力される1次微分信号を切り出す切り出し回路の具体的構成の一例を示した構成図。

【図9】2次微分回路から出力される2次微分信号を切り出す切り出し回路の具体的構成の一例を示した構成図。

【図10】恒性比較回路の構成例を示す図。

【図11】領域選択回路及びAND回路等を示す構成図。

【図12】図1とは異なる本発明の回路パターン欠陥検出方法及びその装置の他の実施例を示す図。

【図13】図1.2とは異なる本発明の回路パターン欠陥検出方法及びその装置の更に他の実施例を示す図。

【図14】各々従来技術を説明するための図。

【図15】各々従来技術を説明するための図。

【図16】各々波形の一例を示す図。

【図17】各々波形の一例を示す図。

【図18】本発明に係る恒性比較の原理を説明するための図。

【図19】本発明に係る恒性比較のにおいて改良した内容を説明するための図。

【図20】本発明に係る恒性比較のにおいて誤検出が生じる場合を説明するための図。

* 【図21】2次微分併用による恒性比較を説明するための図。

【図22】変色欠陥検出を説明するための図。

【図23】位置ずれと不一致画素数との関係を示した図。

【図24】位置ずれ対応の恒性比較を説明するための図。

【図25】各々位置ずれと不一致画素数との関係を示した図。

【図26】検出画像信号(パターン)と記憶画像信号(パターン)とを位置ずれのない状態にしたことを示す図。

【図27】画像シフトによる層間アライメント誤差の補償実験例(3層パターン)を示す図。

【図28】画像シフトによる層間アライメント誤差の補償実験例(2層パターン)を示す図。

【符号の説明】

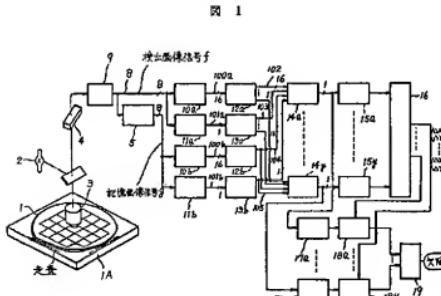
1.0…1次微分回路、 1.1…2次微分回路、 1.2、

1.3…切り出し回路、 1.4…恒性比較回路、 1.5…カ

20 ウンタ回路、 1.6…位置ずれ量検出回路、 1.8…領域選択回路、 4.4…最小値検出回路、 4.3…差画像検出回路、 4.5…2値化回路、 4.7…フィルタ回路。

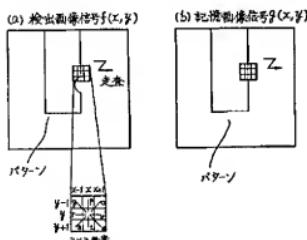
*

【図1】



【図3】

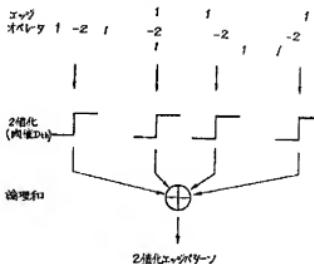
図 3



$$\begin{aligned}
 o &= f(x, y-1) - f(x, y) \\
 p &= f(x, y-1) - f(x, y) \\
 g &= f(x-1, y-1) - f(x, y) \\
 r &= f(x-1, y) - f(x, y) \\
 s &= f(x-1, y+1) - f(x, y) \\
 t &= f(x, y+1) - f(x, y) \\
 u &= f(x+1, y-1) - f(x, y) \\
 v &= f(x+1, y) - f(x, y)
 \end{aligned}
 \quad
 \begin{aligned}
 o' &= g(x, y-1) - g(x, y) \\
 p' &= g(x, y-1) - g(x, y) \\
 g' &= g(x-1, y-1) - g(x, y) \\
 r' &= g(x-1, y) - g(x, y) \\
 s' &= g(x-1, y+1) - g(x, y) \\
 t' &= g(x, y+1) - g(x, y) \\
 u' &= g(x+1, y-1) - g(x, y) \\
 v' &= g(x+1, y) - g(x, y)
 \end{aligned}$$

【図4】

図 4



```

if ( f(x-1, y) + f(x+1, y) - 2f(x, y) > Dth
    or
    f(x, y-1) + f(x, y+1) - 2f(x, y) > Dth
    or
    f(x-1, y-1) + f(x+1, y+1) - 2f(x, y) > Dth
    or
    f(x+1, y-1) + f(x-1, y+1) - 2f(x, y) > Dth ) then
else
    0
  
```

【図5】

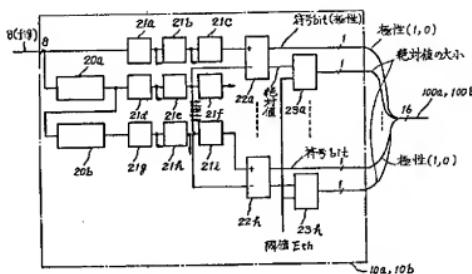
図 5



$$\begin{aligned}
 (\Delta X, \Delta Y) &= (0, 0) \\
 &, (1, -1) \\
 &, (1, 0)
 \end{aligned}$$

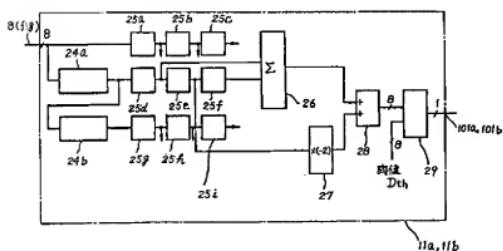
【図6】

図 6



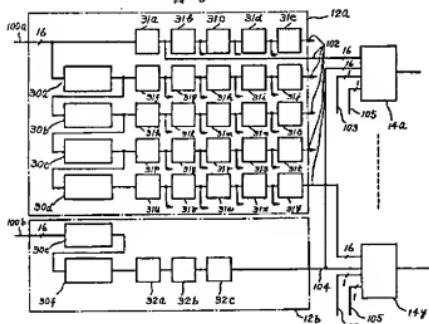
【図7】

図 7



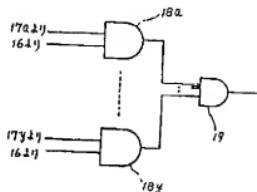
【図8】

図 8



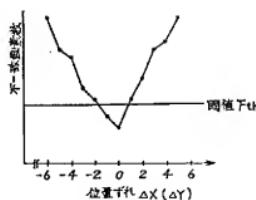
【図11】

図 11



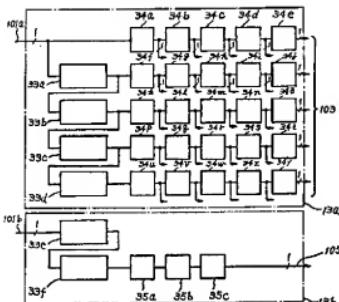
【図23】

図 23



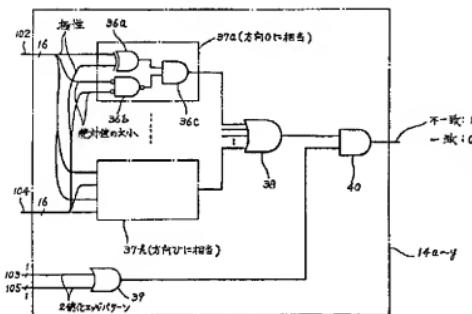
(图9)

9



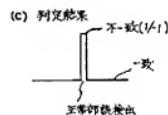
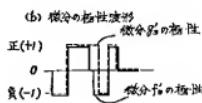
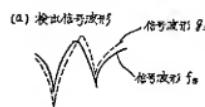
[图 10]

圖 19



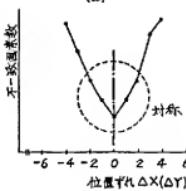
【図20】

29 27

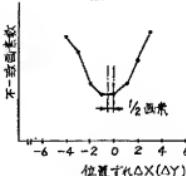


(图25)

四 25

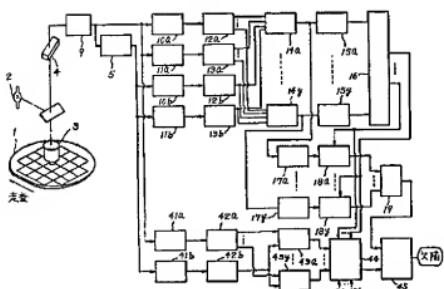


(b)



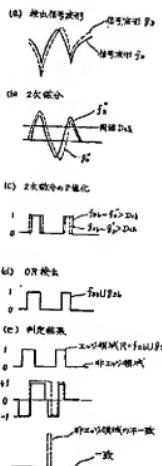
【図12】

図 12



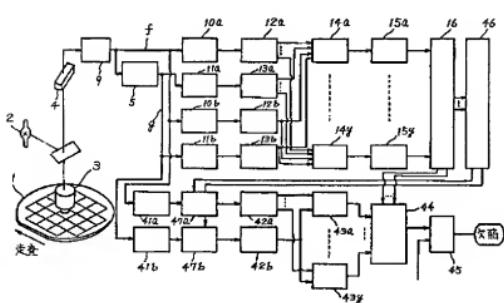
【図21】

図 21



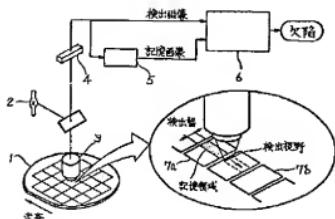
【図13】

図 13



【図14】

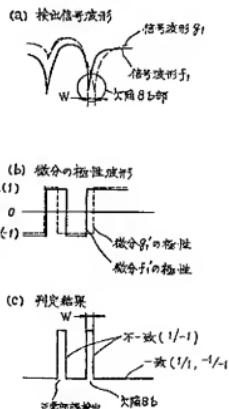
図 14



1. ウニバ
2. ランプ
3. リードリニア
4. インジケンサ
5. 参照電位
6. 反応判定回路
7. チップ

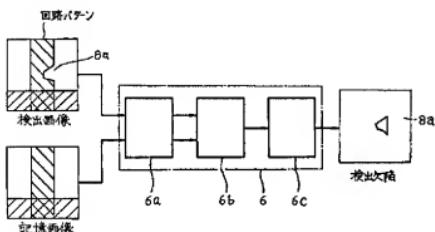
【図18】

図 18



【図15】

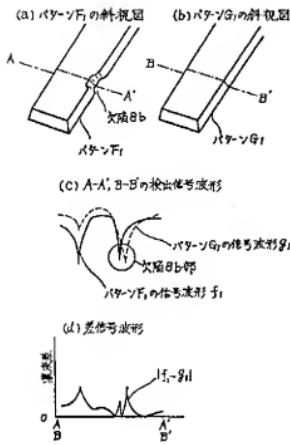
図 15



- 6 - 不一致判定回路
6a - 位相合せ回路
6b - 美素形検出回路
6c - 2倍化回路

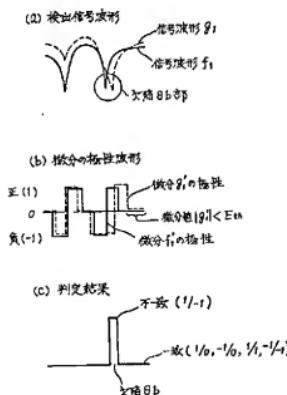
【図16】

図 16



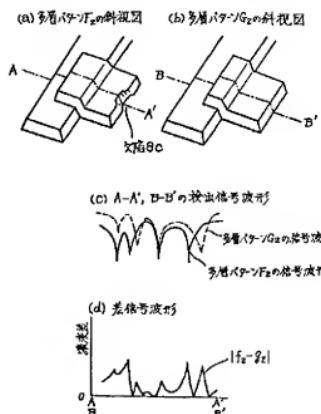
【図19】

図 19



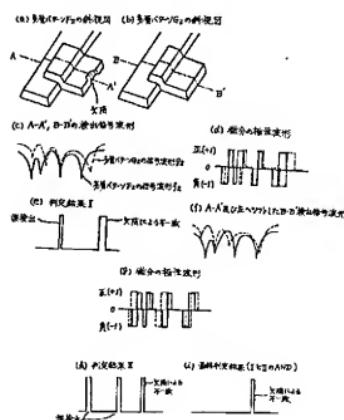
【図17】

図 17



【図24】

図 24



【図22】

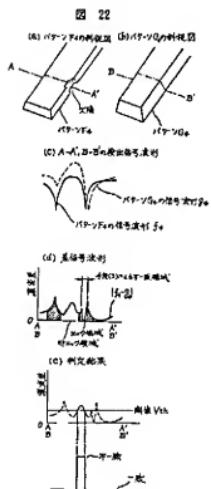


図 22

【図26】

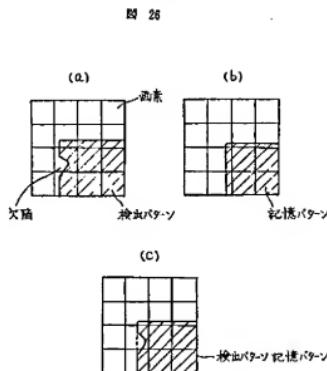
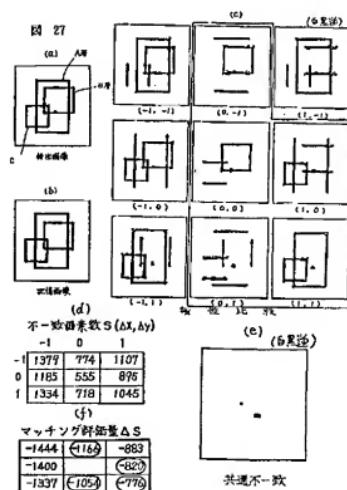
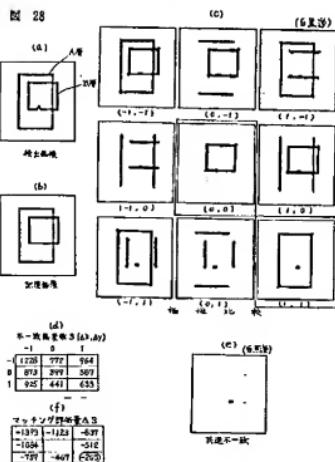


図 26

【図27】



【図28】



【手続補正書】

【提出日】平成11年4月16日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】本米同一となるように形成された複数の被検査対象回路パターンを順次撮像して得た前記被検査対象回路パターンの画像を用いて前記被検査対象回路パターンの欠陥を検査する方法であって、前記被検査対象回路パターンを順次撮像して得た2つの画像のうち少なくとも一方の画像にフィルタリング処理を施して前記2つの画像の位置ずれの状態を変更し、該位置ずれの状態を変更した2つの画像を用いて前記被検査対象回路パターンの欠陥を検出することを特徴とする回路パターン欠陥検査方法。

【請求項2】本米同一となるように形成された複数の被検査対象回路パターンを順次撮像し、該順次撮像して得た2つの画像の位置ずれの状態を変更し、該位置ずれの状態を変更した2つの画像を比較して前記被検査対象回路パターンの欠陥を検査する方法であって、前記位置ずれ

の状態を変更した2つの画像を比較して欠陥を検出するとき、前記被検査対象回路パターンのエッジ部分とそれ以外の部分とで検出感度を変えて欠陥を検出することを特徴とする回路パターン欠陥検査方法。

【請求項3】本米同一となるように形成された複数の被検査対象回路パターンを順次撮像し、該順次撮像して得た2つの画像の位置ずれの状態を変更し、該位置ずれの状態を変更した2つの画像を比較して欠陥を検出するとき、前記被検査対象回路パターンの状態に応じて欠陥の検出感度を変えることを特徴とする回路パターン欠陥検査方法。

【請求項4】本米同一となるように形成された複数の被検査対象回路パターンを順次撮像し、該順次撮像して得た2つの画像の位置ずれを第1の状態に変更し、後に前記2つの画像を比較して不一致を検出し、次に前記順次撮像して得た2つの画像の位置ずれを第2の状態に変更し、後に前記2つの画像を比較して不一致を検

出し、前記第1の位置ずれの状態で比較して検出した不一致と前記第2の位置ずれの状態で比較して検出した不一致とで共通に現れる不一致を欠陥として検出することを特徴とする回路パターン欠陥検査方法。

【請求項5】前記検出する被検査対象パターンの欠陥が、前記被検査対象パターンの頂厚やエッジのたわみ合等の3次元的な形状の相違や、層間のずれ、或いは検出時のサンプリング誤差であることを特徴とする請求項1乃至4の何れかに記載の回路パターン欠陥検査方法。

【請求項6】本來同一となるように形成された複数の被検査対象回路パターンを順次撮像して得た前記検査対象回路パターンの画像を用いて前記検査対象パターンの欠陥を検査する装置であって、前記検査対象回路パターンを撮像して前記検査対象回路パターンの画像を得る撮像手段と、該撮像手段で順次撮像して得た画像を記憶手段と、前記撮像手段で得た画像と前記記憶手段に記憶した画像との少なくとも一方の画像に対してフィルタリング処理を施して前記撮像手段で得た画像と前記記憶手段に記憶した画像との位置ずれの状態を変更するフィルタリング手段と、該フィルタリング手段で位置ずれの状態を変更した前記2つの画像を用いて前記被検査対象パターンの欠陥を検出する欠陥検出手段とを備えたことを特徴とする回路パターン欠陥検査装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】

【課題を解決するための手段】上記目的を達成するためには、本発明では、本來同一となるように形成された複数の被検査対象回路パターンを順次撮像して得た前記検査対象回路パターンの画像を用いて前記検査対象パターンの欠陥を検査する方法において、被検査対象回路パターンを順次撮像して得た2つの画像のうち少なくとも一方の画像にフィルタリング処理を施して2つの画像の位置ずれの状態を変更し、この位置ずれの状態を変更した2つの*

*画像を用いて被検査対象パターンの欠陥を検出することを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】また、本発明は、本來同一となるように形成された複数の被検査対象回路パターンを順次撮像し、この順次撮像して得た2つの画像の位置ずれの状態を変更し、位置ずれの状態を変更した2つの画像を比較して被検査対象回路パターンの欠陥を検査する方法において、位置ずれの状態を変更した2つの画像を比較して欠陥を検出するときに、被検査対象回路パターンのエッジ部分とそれ以外の部分で検出感度を変えて欠陥を検出する。または、被検査対象回路パターンの状態に応じて欠陥の検出感度を変えることを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】更に、上記目的を達成するために、本発明では、本來同一となるように形成された複数の被検査対象回路パターンを順次撮像して得た前記検査対象回路パターンの画像を用いて被検査対象回路パターンの欠陥を検査する装置において、被検査対象回路パターンを撮像して被検査対象回路パターンの画像を得る撮像手段と、この撮像手段で順次撮像して得た画像を記憶する記憶手段と、撮像手段で得た画像と記憶手段に記憶した画像との少なくとも一方の画像に対してフィルタリング処理を施して撮像手段で得た画像と記憶手段に記憶した画像との位置ずれの状態を変更するフィルタリング手段と、このフィルタリング手段で位置ずれの状態を変更した2つの画像を用いて被検査対象パターンの欠陥を検出する欠陥検出手段とを備えたことを特徴とする。

フロントページの焼き

(72)発明者 牧平 坦

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11340292 A

(43) Date of publication of application: 10.12.1999

(51) Int. Cl H01L 21/66
G01N 21/88

(21) Application number: 11077221

(22) Date of filing: 23.03.1999

(62) Division of application: 02003587

(71) Applicant: HITACHI LTD

(72) Inventor: MAEDA SHUNJI

HIROI TAKASHI

KUBOTA HITOSHI

MAKIHIRA HIROSHI

(54) METHOD AND DEVICE FOR INSPECTING
CIRCUIT PATTERN DEFECT

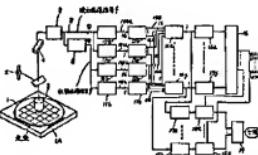
(57) Abstract:

PROBLEM TO BE SOLVED: To improve detection precision for detect, by filtering at least one image of two images obtained by sequentially imaging a circuit pattern which is to be inspected to change the state of dislocation of the two images, and detecting a defect of the pattern which is to be inspected using the two images.

SOLUTION: A detected thick and thin image signal (f) obtained by detecting the circuit pattern at a first position inside a chip on a wafer 1 using a photo-electric transfer device 4 is compared with a stored thick and thin image signal (g) which is, stored in an image memory 5, obtained by detecting, for example, the circuit pattern at a second position corresponding to the adjacent chip on the wafer 1 for detecting a defect. In short,

the thick and thin image signals (f) and (g) are primarily differentiated by primary differentiation circuits 10a and 10b, respectively, and the polarity, positive or negative, of the primary differential obtained from a subtractor is compared for each image with cut-out circuits 12a and 12b and polarity comparison circuits 14a-14y, for detecting disagreement as a defect. Thus, only an actual defect is detected with reliability and high precision.

COPYRIGHT: (C)1999,JPO



PCT

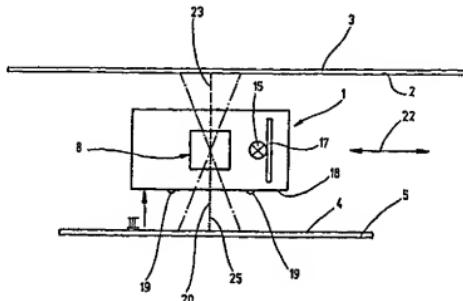
PCT WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICH NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESEN (PCT)



(51) Internationale Patentklassifikation ⁶ : H05K 3/12, G06K 7/10		A1	(11) Internationale Veröffentlichungsnummer: WO 99/02021
			(43) Internationales Veröffentlichungsdatum: 14. Januar 1999 (14.01.99)
(21) Internationales Aktenzeichen: PCT/EP98/02496		(81) Bestimmungsstaaten: AU, BR, CA, CN, IL, JP, KR, MX, NO, PL, SG, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(22) Internationales Anmeldedatum: 28. April 1998 (28.04.98)			
(30) Prioritätsdaten: 197 28 144.3 2. Juli 1997 (02.07.97)		DE	Veröffentlicht <i>Mit Internationalem Recherchenbericht.</i>
(71) Anmelder (<i>für alle Bestimmungsstaaten ausser US</i>): EKRA EDUARD KRAFT GMBH [DE/DE]; Zeppelinstrasse 16, D-74355 Bönnighausen (DE).			
(72) Erfinder; und			
(75) Erfinder/Anmelder (<i>nur für US</i>): SCHANZ, Karl [DE/DE]; Otto-Kirchheimer-Strasse 10, D-74080 Heilbronn (DE).			
(74) Anwälte: GROSSE, Rainer usw.; Maybachstrasse 6A, D-70469 Stuttgart (DE).			

(54) Title: PROCESS AND DEVICE FOR GENERATING TEST PATTERNS WHEN APPLYING SOLDER PASTE BY A SCREEN PRINTING PROCESS ON PRINTED CIRCUIT BOARDS

(54) Bezeichnung: VERFAHREN UND VORRICHTUNG ZUM ERZEUGEN VON TESTPATTERN BEIM LOTPASTENAUFTRAG
MITTELS SIEBDRUCKVERFAHRENS AUF LEITERPLATTEN



(S7) Abstract

A process and device are disclosed for generating test patterns when applying solder paste by a screen printing process on printed circuit boards. During a teaching step, a structure is optically tested to serve as a reference pattern and reference data for the test patterns are generated from the detected structure. The structure which is optically detected to serve as a reference pattern is the screen for the screen printing process.

(57) Zusammenfassung

Die Erfindung betrifft ein Verfahren und eine Vorrichtung zum Erzeugen von Testpatern beim Lotspatenauftrag mittels Siebdruckverfahrens auf Leiterplatten, wobei in einem Teach-In-Verfahrensschritt als Referenzmuster eine Struktur optisch erfaßt und aus dieser Erfassung Referenzdaten für die Testpatern generiert werden. Es ist vorgesehen, daß als Struktur die Druckschablonen für das Siebdruckverfahren optisch erfaßt wird.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäß dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gaben	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Marokko	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Irland	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NZ	Niger	UZ	Uzbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sadads		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

VERFAHREN UND VORRICHTUNG ZUM ERZEUGEN VON TESTPATTERN BEIM LOTPASTENAUFTRAG
MITTELS SIEBDRUCKVERFAHRENS AUF LEITERPLATTEN

Beschreibung

Die Erfindung betrifft ein Verfahren zum Erzeugen von Testpatten beim Lotpastenauftrag mittels Siebdruckverfahrens auf Leiterplatten, wobei in einem Teach-In-Verfahrensschritt als Referenzmuster eine Struktur optisch erfaßt und aus dieser Erfassung Referenzdaten für die Testpatten generiert werden.

Im Rahmen eines Inspektionssystems ist es bekannt, die Zulänglichkeit des Auftrags von Lotpaste auf Leiterplatten zu überwachen. Die Lotpaste wird im Siebdruckverfahren auf die Leiterplatten aufgebracht. Sie ermöglicht es, im nachfolgenden Bestückungsprozeß elektronische Bauteile mit auf den Leiterplatten ausgebildeten Leiterbahnanschlüssen zu verlöten. Dies erfolgt insbesondere im SMD-Prozeß. Um den Lotpastenauftrag im Zuge des Inspektionssystems kontrollieren zu können, ist es erforderlich, sogenannte Testpatten bereitzustellen. Diese definieren, wo und wie die Kontrolle des Lotpastenauftrags durchgeführt werden soll. Die Testpatten definieren die Koordinaten, Größe und Form der aufzubringenden Lotpastenbereiche. Zur Gewinnung von Testpatten sind grundsätzlich zwei Verfahren bekannt. Das erste Verfahren gewinnt die Testpatten aus CAD-Daten. Dieses sind in elektronischer Form zur Verfügung stehende Schablonendaten (Gerberfi-

les) der Druckschablone. Diese Daten geben Informationen darüber, wo und wie die Druckschablone Durchbrüche aufweist, durch die im Siebdruckverfahren Lotpaste auf die Leiterplatte aufgetragen wird. Wegen Problemen bei der Verfügbarkeit, der Aktualität und der Konvertierbarkeit der CAD-Daten hat sich das nachfolgend erwähnte zweite Verfahren in der Vergangenheit als praktikablere Lösung herausgestellt. Dieses zweite Verfahren ist ein sogenanntes Teach-In-Verfahren, bei dem die Leiterplatte als Referenzmuster zur Testpatternerzeugung dient. Mithin wird die Leiterbahn- und Anschlußstruktur einer Leiterplatte mittels einer Kamera erfaßt und auf diese Art und Weise die Testpatternerzeugung im Teach-In-Verfahren bestimmt. Nachteilig ist, daß die Strukturen von Leiterbahnen -bedingt durch ihren Herstellungsprozeß- relativ große Maßtoleranzen aufweisen, so daß die Testpatternerzeugung maßlichen Abweichungen unterliegt. Insbesondere bei sehr eng aneinandergrenzenden Kontaktstrukturen, beispielsweise für hochintegrierte Bauelemente, kann die maßliche Unzulänglichkeit zu einem Problem führen.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren der eingangs genannten Art anzugeben, daß hochpräzise Ergebnisse liefert und praktikabel durchführbar ist.

Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß als Struktur die Druckschablone für das Siebdruckverfahren optisch erfaßt wird. Mithin wird er-

findungsgemäß im Teach-In-Verfahren die Druckschablone als Referenzmuster zur Testpatternerzeugung herangezogen. Die so ermittelten Prüfdaten entsprechen exakt den beim Druckprozeß vorliegenden Gegebenheiten, so daß die Druckqualität und Maßhaltigkeit unabhängig von anderen Einflüssen optimal beurteilt werden kann. Die gemessene Lotpastenauftrags-Druckgüte läßt direkte Rückschlüsse auf den Druckprozeß zu, ohne daß Störfaktoren -beispielsweise wie die zuvor genannten Toleranzeinflüsse- auftreten. Um die Testpattern zu erzeugen, werden vorzugsweise bestimmte Bereiche -die hinsichtlich etwaiger Fehler besonders anfällig sind- festgelegt und in diesen Bereichen die Testpattern mittels optischer Erfassung der Struktur (Schablonenöffnungen) der Druckschablone erzeugt. Das optisch erfaßte Bild wird elektronisch in Daten umgesetzt, die die Testpattern darstellen. Diese Testpattern bilden das Referenzmuster, das -nach dem Siebdruckprozeß- mit den ebenfalls optisch ermittelten Daten des tatsächlichen Lotpastenauftrags verglichen wird. Auf diese Art und Weise lassen sich Fehler erkennen, die beispielsweise darin bestehen, daß zwei Anschlüsse der Leiterplatte mittels einer nicht gewünschten Lotpastenbrücke elektrisch verbunden werden. Ferner ist erkennbar, ob Lotpaste in bestimmten Bereichen fehlt. Dies wiederum kann zwei Gründe haben, nämlich einerseits ein Festkleben der Lotpaste an der Druckschablone, da die Lotpaste nicht auf die Leiterplatte übertragen wurde oder es steht andererseits zu wenig Lotpaste zur Verfügung, das heißt, vom RakeL konnte mangels Menge nicht in

alle Bereiche Lotpaste verstrichen werden. Nach dem bisher bekannten Verfahren wird der Lotpastenauftrag optisch erfaßt und mit den auf die bisherige Art gewonnenen Testpattern verglichen. Das Vergleichen erfolgt ebenfalls beim Gegenstand der Erfindung, wobei hinzutritt, daß die Druckschablone -wegen der Testpatternerzeugung- ebenfalls optisch abgetastet wird. Mithin sind sowohl der Druckschablone als auch der Leiterplatte eine optoelektronische Erfassungseinrichtung zugeordnet, was nachstehende, bisher nicht zu realisierende Vorteile bietet. Es ist möglich, die von der Druckschablone und von der Leiterplatte gewonnenen Bilder vorzugsweise selbsttätig elektronisch zu vergleichen, wobei Fehler beziehungsweise sich aufbauende Fehler erkannt und möglicherweise bereits im Vorfeld abgestellt werden können. So bauen sich Brücken zumeist erst langsam auf, das heißt, an der Druckschablone, insbesondere an den Rändern der Druckschablonenöffnungen, wird erkennbar, daß sich dort Partikel der Lotpaste im Laufe der Zeit immer mehr ansammeln und aufbauen, bis es zu der Brückenbildung kommt. Dieser fortschreitende Aufbau wird aufgrund der optoelektronischen Abtastung der Druckschablone im Zuge seines Entstehens erkannt und kann daher abgestellt werden. Dies erfolgt vorzugsweise automatisch, indem der Druckprozeß kurzzeitig unterbrochen und automatisch eine Druckschablonenreinigung durchgeführt wird. Entsprechendes gilt für Lotpaste, die in den Öffnungen der Druckschablone festklebt und daher nicht auf die Leiterplatte übertragen wird, da auch dort in einem sich aufbauenden Prozeß

zunächst nur geringfügige Mengen an den Schablonenöffnungen haften bleibt, die sich langsam aufbauen, bis schließlich die Paste die gesamte Öffnung oder einen Großteil der Öffnung verklebt. Die optische Abtastung der Druckschablone wird somit zweifach genutzt, nämlich zum einen für die Testpatternerzeugung und zum anderen zur Fehlererkennung. Neben der einfachen Erzeugung des Testpattern mittels des erfundungsgemäßen Vorgehens ist somit eine optimale Kontrolle während des Siebdruckprozesses hinsichtlich möglicher Fehler durchführbar.

Vorzugsweise ist vorgesehen, daß die Schablonenöffnungen der Druckschablone hinsichtlich ihrer Lage (Koordinaten) und/oder ihrer Geometrie (Form, Größe) optisch erfaßt werden. Die Testpattern weisen demgemäß entsprechende Informationen, also über die Lage (Koordinaten) und die Geometrie (Form, Größe) auf.

Ferner ist es vorteilhaft, wenn die der Leiterplatte zugewandte Seite der Druckschablone optisch erfaßt wird. Die Erfassung der "Unterseite" hat den Vorteil, daß dort -neben der Erfassung der Testpatterndaten- am besten erkannt werden kann, ob Fehler im Laufe des fortschreitenden Druckprozesses auftreten können, beispielsweise die erwähnte Brückenbildung oder das Verkleben von Lotpaste.

Nach einer Weiterbildung der Erfindung ist vorgesehen, daß nach dem Siebdruckprozeß eine optische Erfassung des auf die Leiterplatte erfolgten Lotpastenauftrags durchgeführt wird und daß aus dieser

Erfassung. Istdaten generiert werden. Mit Hilfe dieser Istdaten ist eine Beurteilung des Lotpastenauftrags im Zuge des Inspektionssystems auf besonders einfache Weise möglich, da lediglich ein Vergleich der Daten des Referenzmusters mit den Istdaten durchgeführt werden muß. Es erfolgt somit eine Auswertung der Istdaten unter Berücksichtigung der Referenzdaten.

Die Erfindung betrifft ferner eine Vorrichtung zum Erzeugen von Testattern beim Lotpastenauftrag mittels Siebdruckverfahrens auf Leiterplatten, mit einer ersten optoelektronischen Einrichtung zum in einem Teach-In-Verfahrensschritt erfolgenden Erfassen einer Struktur als Referenzmuster und mit einer Datenverarbeitungselektronik zur Erzeugung von Referenzdaten aus der Referenzmustererfassung, wobei die erste optoelektronische Einrichtung derart angeordnet ist, daß sie als Struktur die Druckschablone erfaßt. Diese optoelektronische Einrichtung gewinnt somit auf optischem Wege durch Erfassung der Struktur (Schablonenöffnungen) der Druckschablone Testpatterndaten, die bei der Auswertung des Lotpastenauftrags als Solldaten zur Verfügung stehen. Diese werden mit aus dem Lotpastenauftrag ermittelten Istdaten verglichen. Es können bei Abweichungen Korrekturen vorgenommen werden.

Es ist vorteilhaft, wenn eine Verlagerungsvorrichtung vorhanden ist, mit der die erste optoelektronische Einrichtung zwischen die Druckschablone und die Leiterplatte einfahrbar ist. Hierdurch läßt

sich der jeweils gewünschte Bereich der Druckschablone optisch erfassen.

Vorteilhaftweise ist eine zweite optoelektronische Einrichtung zum Erfassen des Lotpastenauftrags auf der Leiterplatte vorgesehen, wobei insbesondere die erste und die zweite optoelektronische Einrichtung mittels derselben Verlagerungseinrichtung verfahrbar sind. Dies hat den Vorteil, daß für beide optoelektronische Einrichtungen nur eine Verlagerungseinrichtung erforderlich ist, so daß konstruktiver Aufwand und Kosten eingespart werden können. Die Verlagerung bei der optoelektronischen Einrichtung mittels ein und derselben Verlagerungseinrichtung hat jedoch auch noch den Vorteil, daß beide Einrichtungen stets in dieselbe Position im Hinblick auf die Druckschablone und im Hinblick auf die Leiterplatte verbracht werden, das heißt, die beiden optoelektronischen Einrichtungen ermitteln stets sich entsprechende Bereiche der beiden Teile, so daß ein Soll-Ist-Vergleich auf besonders einfache Weise ermöglicht wird.

Ferner kann vorgesehen sein, daß die erste und die zweite optoelektronische Einrichtung von nur einer, hinsichtlich der Erfassungsrichtung umschaltbaren oder zwei Erfassungsstrahlengänge aufweisenden optoelektronischen Vorrichtung gebildet wird. Mithin sind die beiden optoelektronischen Einrichtungen in einer einzigen optoelektronischen Vorrichtung zusammengefaßt, die sich auf dem Verlagerungsschlitten der Verlagerungseinrichtung befindet. Der Aufwand verringert sich, wenn die Erfassungsrichtung

umschaltbar ist, das heißt mit ein und derselben Optoelektronik wird die Druckschablone und -nach Umschaltung- die Leiterplatte erfaßt. Um einen Soll-Ist-Vergleich vornehmen zu können, ist es dann erforderlich, daß die zuerst erfaßte Bildstruktur gespeichert und dann mit der danach erfaßten Bildstruktur verglichen wird. Etwas bautechnisch aufwendiger, jedoch verfahrenstechnisch vorteilhafter ist die Ausgestaltung mittels zweier optoelektronischer Erfassungseinrichtungen (Kameras), wovon die eine mittels eines ersten Erfassungsstrahlenganges die Druckschablone und die andere mittels eines zweiten Erfassungsstrahlenganges die Leiterplatte und damit den dort erfolgten Lotpastenauftrag inspiert.

Ferner kann vorgesehen sein, daß die optoelektronische Vorrichtung einen beidseitig verspiegelten, ersten Spiegel aufweist, dessen eine Seite im zur Druckschablone führenden Strahlengang und dessen andere Seite im zur Leiterplatte führenden Strahlengang liegt. Insbesondere ist dieser beidseitig verspiegelte erste Spiegel als Prisma ausgeführt, was den Vorteil hat, daß die Reflektionsebene für beide Strahlengänge quasi dieselbe ist.

Eine Weiterbildung der Erfindung sieht vor, daß jeder Seite des ersten Spiegels ein halbdurchlässiger, zweiter beziehungsweise dritter Spiegel zugeordnet ist. Dem zweiten und dem dritten Spiegel ist insbesondere jeweils eine erste beziehungsweise zweite Optik zugeordnet. Dem zweiten und dem dritten Spiegel ist bevorzugt jeweils ein erster bezie-

hungsweise zweiter Bilderfassungssensor zugeordnet. Die Anordnung ist dabei vorzugsweise derart getroffen, daß die erste Optik zwischen dem zweiten Spiegel und dem ersten Bilderfassungssensor und die zweite Optik zwischen dem dritten Spiegel und dem zweiten Bilderfassungssensor liegt. Aufgrund des vorstehend erläuterten Aufbaus ist es möglich, daß über die eine Seite des ersten Spiegels und den halbdurchlässigen zweiten Spiegel sowie die erste Optik und mit Hilfe des ersten Bilderfassungssensors die Leiterplatte und mit Hilfe der anderen Seite des ersten Spiegels, dem dritten Spiegel sowie der zweiten Optik und dem zweiten Bilderfassungssensor die Druckschablone erfaßt werden kann.

Mit dem zweiten Spiegel wirkt eine erste Beleuchtungsquelle und mit dem dritten Spiegel eine zweite Beleuchtungsquelle zusammen, wodurch es möglich ist, mit Hilfe der ersten Beleuchtungsquelle über den zweiten Spiegel und den ersten Spiegel die Leiterplatte und mittels der zweiten Beleuchtungsquelle über den dritten Spiegel und den ersten Spiegel die Druckschablone zu beleuchten. Besonders gute Ergebnisse sind dadurch erzielbar, daß die Leiterplatte durch Licht einer ringförmigen oder etwa ringförmigen oder teilringförmigen dritten Beleuchtungsquelle beaufschlagt wird. Die dritte Beleuchtungsquelle befindet sich vorzugsweise an der mittels der Verlagerungseinrichtung verfahrbaren optoelektronischen Vorrichtung. Insbesondere ist vorgesehen, daß die dritte Beleuchtungsquelle aufgrund ihrer Ringstruktur den Strahlengang zwischen dem ersten Spiegel und der Leiterplatte umgibt, das

heißt, es erfolgt eine optimale Ausleuchtung der Leiterplatte, so daß der Lotpastenauftrag darauf sehr gut optisch erfaßt werden kann.

Schließlich ist vorgesehen, daß die dritte Beleuchtungsquelle von mehreren Licht emittierenden Dioden (LED's) gebildet ist.

Die Zeichnungen veranschaulichen die Erfindung anhand eines Ausführungsbeispiels und zwar zeigt:

Figur 1 eine Draufsicht auf die optoelektronische Vorrichtung.

Figur 2 eine Stirnansicht auf die optoelektronische Vorrichtung in Richtung des Pfeiles II in Figur 1 und

Figur 3 eine Unteransicht auf die optoelektronische Vorrichtung in Richtung des Pfeiles III in Figur 2.

Die Figuren 1 bis 3 zeigen -in schematischer Darstellung- eine optoelektronische Vorrichtung 1, mit deren Hilfe die Erzeugung von Testpattern beim Lotpastenauftrag mittels Siebdruckverfahrens auf Leiterplatten erzeugt werden können. Ferner eignet sich diese optoelektronische Vorrichtung 1 zur Inspektion der Unterseite 2 einer im Siebdruckprozeß eingesetzten Druckschablone 3 sowie der Seite 4 der Leiterplatte 5, auf die im Siebdruckprozeß die Lotpaste aufgetragen wird (Figur 2).

Gemäß Figur 1 weist die optoelektronische Vorrichtung 1 eine erste optoelektronische Einrichtung 6 und eine zweite optoelektronische Einrichtung 7 auf. Den beiden optoelektronischen Einrichtungen 6 und 7 ist ein beidseitig verspiegelter, erster Spiegel 8 gemeinsam, dem ein halbdurchlässiger, zweiter Spiegel 9 der optoelektronischen Einrichtung 7 und ein halbdurchlässiger, dritter Spiegel 10 der optoelektronischen Einrichtung 6 zugeordnet ist. Ferner weist die optoelektronische Einrichtung 7 einen ersten Bilderfassungssensor 11 und die optoelektronische Einrichtung 6 einen zweiten Bilderfassungssensor 12 auf. Zwischen dem zweiten Spiegel 9 und dem ersten Bilderfassungssensor 11 befindet sich eine erste Optik 13. Zwischen dem dritten Spiegel 10 und dem zweiten Bilderfassungssensor 12 ist eine zweite Optik 14 angeordnet. Mithin ist die erste Optik 13 Bestandteil der zweiten optoelektronischen Einrichtung 7 und die zweite Optik 14 Bestandteil der ersten optoelektronischen Einrichtung 6. Die optoelektronische Einrichtung 7 weist ferner eine erste Beleuchtungsquelle 15 auf; der optoelektronischen Einrichtung 6 ist eine zweite Beleuchtungsquelle 16 zugeordnet. Die beiden Beleuchtungsquellen 15 und 16 sind vorzugsweise als LED's ausgebildet und befinden sich auf einer Leiterplatine 17.

Gemäß der Figur 2 ist an der Unterseite 18 der optoelektronischen Vorrichtung 1 eine dritte Beleuchtungsquelle 19 angeordnet, die aus mehreren, ringförmig angeordneten lichtemittierenden Dioden (LED's) besteht. Die Anordnung ist derart getrof-

fen, daß die dritte Beleuchtungsquelle 19 den Strahlengang 20 zwischen dem ersten Spiegel 8 und der Leiterplatte 5 umgibt. Dies geht insbesondere auch aus der Figur 3 hervor. Mittels einer schlittenartig arbeitenden, entlang zweier senkrecht aufeinanderstehender Koordinaten verfahrbaren Verlagerungseinrichtung (nicht dargestellt) ist die optoelektronische Vorrichtung 1 entlang des Doppelpfeils 21 in Figur 1 und entlang des Doppelpfeils 22 in Figur 2 verfahrbar, das heißt, sie kann in jede beliebige Position zur Druckschablone 3 und in die entsprechende Position zur Leiterplatte 5 verfahren werden. Dies erfolgt, sobald mittels der Druckschablone 3 Lotpaste auf die Seite 4 der Leiterplatte 5 im Siebdruckverfahren aufgebracht worden ist. Nach diesem Siebdruckprozeß werden Druckschablone 3 und Leiterplatte 2 auseinandergefahren, so daß im Zwischenraum die optoelektronische Vorrichtung 1 einfahren kann. Auf diese Art und Weise ist eine Inspektion im Hinblick auf die Zulänglichkeit des Lotpastenauftrags möglich. Dabei wird mittels der ersten optoelektronischen Einrichtung 6 die Unterseite 2 der Druckschablone 3 und mittels der zweiten optoelektronischen Einrichtung 7 die Seite 4 der Leiterplatte 5 inspiziert. Mittels einer nicht dargestellten Verarbeitungselektronik ist auf diese Art und Weise eine Prüfung des Lotpastenauftrags für etwaige Fehler möglich. Im einzelnen ergibt sich folgendes: Mittels der Beleuchtungsquelle 16 wird Licht auf den halbdurchlässigen Spiegel 10 geworfen (gestrichelte Linie 23), wobei dieses Licht um 90° umgelenkt dem ersten Spiegel 8

zugeführt wird und von der einen Seite dieses Spiegels 8 nach oben geleitet wird, so daß es auf die Unterseite 2 der Druckschablone 3 trifft. Von der Druckschablone 3 reflektiertes Licht gelangt zum Spiegel 8 zurück und wird von dessen gleicher Seite dem Spiegel 10 zugeführt, wobei der Spiegel 10 geradlinig passiert wird und das reflektierte Licht gemäß der strich-doppelpunktierten Linie 24 über die Optik 14 zum Bilderfassungssensor 12 gelangt. Dieser kann in Zusammenarbeit mit der nicht dargestellten Datenverarbeitungselektronik somit in Pixelstruktur ein entsprechendes Bild der Struktur, insbesondere der Koordinaten, Form und Größe der Schablonenöffnungen, der Druckschablone 3 erzeugen. Die so ermittelten Daten können für den vorstehend erwähnten Vergleich mit dem Lotpastenauftrag herangezogen werden. Insbesondere ist es möglich, daß die erfaßten Daten als Referenzmuster ausgewertet werden, das heißt, dieses Referenzmuster repräsentiert Testpattern, also eine Information darüber, welche Lage und welche Geometrie die Schablonenöffnungen der Druckschablone aufweisen. Die Erfassung erfolgt im sogenannten Teach-in-Verfahren.

Mittels der zweiten optoelektronischen Einrichtung 7 läßt sich der Lotpastenauftrag auf der Seite 4 der Leiterplatte 5 inspizieren. Hierzu wird Licht von der Beleuchtungsquelle 15 dem Spiegel 9 zugeleitet (gepunktete Linie 25), dort umgelenkt und der anderen Seite des ersten Spiegels 8 zugeführt, die das Licht nach unten auf die Leiterplatte 5 wirft. Das von der Leiterplatte 5, insbesondere von dem Lotpastenauftrag, reflektierte Licht gelangt

zum Spiegel 8 zurück und wird von dort aus dem teildurchlässigen Spiegel 9 zugeführt, der geradlinig durchsetzt wird, so daß das Licht entlang der strichpunktuierten Linie 26 über die Optik 13 zum Bilderfassungssensor 11 gelangt. Der Bilderfassungssensor 11 stellt -in Pixelform- Informationen über den Erfolg des Lotpastenauftrags auf die Leiterplatte 5 zur Verfügung. Mittels der Datenverarbeitungselektronik ist es nunmehr möglich, die Informationen der beiden Bilderfassungssensoren 11 und 12 auszuwerten, das heißt, das Referenzmuster der Druckschablone 3 wird verglichen mit dem Ist-Muster, also dem Lotpastenauftrag auf der Leiterplatte 5, wodurch etwaige Fehler erkennbar werden. Zusätzlich ist es möglich, mittels der ersten optoelektronischen Einrichtung 6 die Druckschablone 3 auf etwaige Verschmutzungen mit sich dort ansammelnder Lotpaste zu inspizieren, so daß frühzeitig aus derartigen Lotpastenanhaftungen resultierende Fehler erkannt werden können.

Wird ein Fehler festgestellt, so kann der Automatik-Betrieb gestoppt und der Fehler optisch auf einem Bildschirm angezeigt werden. Der Bediener hat die Möglichkeit, Fehler zu ignorieren oder Maßnahmen zu ergreifen. Es ist auch möglich, die dann fehlerhafte Leiterplatte zu entnehmen. Auf jeden Fall wird der Fehler mit dem Namen des Bauteils, das mittels des Lotpastenauftrags auf die Leiterplatte aufgebracht werden soll, zusammen mit der erfolgten Bedienerreaktion aufgezeichnet.

Ansprüche

1. Verfahren zum Erzeugen von Testpattern beim Lotpastenauftrag mittels Siebdruckverfahrens auf Leiterplatten, wobei in einem Teach-In-Verfahrensschritt als Referenzmuster eine Struktur optisch erfaßt und aus dieser Erfassung Referenzdaten für die Testpattern generiert werden, dadurch gekennzeichnet, daß als Struktur die Druckschablone für das Siebdruckverfahren optisch erfaßt wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Schablonenöffnungen der Druckschablone hinsichtlich ihrer Lage (Koordinaten) und/oder ihrer Geometrie (Form, Größe) erfaßt werden.
3. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die der Leiterplatte zugewandte Seite der Druckschablone optisch erfaßt wird.
4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß nach dem Siebdruckprozeß eine optische Erfassung des auf die Leiterplatte erfolgten Lotpastenauftrags durchgeführt wird und daß aus dieser Erfassung Istdaten generiert werden.

5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Istdaten unter Berücksichtigung der Referenzdaten ausgewertet werden.

6. Vorrichtung zum Erzeugen von Testattern beim Lotpastenauftrag mittels Siebdruckverfahrens auf Leiterplatten, mit einer ersten optoelektronischen Einrichtung zum in einem Teach-In-Verfahrensschritt erfolgenden Erfassen einer Struktur als Referenzmuster, und mit einer Datenverarbeitungselektronik zur Erzeugung von Referenzdaten aus der Referenzmuster erfassung, dadurch gekennzeichnet, daß die erste optoelektronische Einrichtung (6) derart angeordnet ist, daß sie als Struktur die Druckschablone (3) erfaßt.

7. Vorrichtung nach Anspruch 6, gekennzeichnet durch eine Verlagerungseinrichtung, mit der die erste optoelektronische Einrichtung (6) zwischen die Druckschablone (3) und die Leiterplatte (5) einfahrbar und dort verfahrbar ist.

8. Vorrichtung nach einem der vorhergehenden Ansprüchen, gekennzeichnet durch eine zweite optoelektronische Einrichtung (7) zum Erfassen des Lotpastenauftrags auf der Leiterplatte (5).

9. Vorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die erste und die zweite optoelektronische Einrichtung (6,7) mittels ein und derselben Verlagerungseinrichtung verfahrbar sind.

10. Vorrichtung nach einem der vorhergehenden An- sprüche, dadurch gekennzeichnet, daß die erste und die zweite optoelektronische Einrichtung (6,7) von nur einer, hinsichtlich der Erfassungsrichtung um- schaltbaren oder zwei Erfassungsstrahlengänge auf- weisenden optoelektronischen Vorrichtung (1) gebil- det wird.
11. Vorrichtung nach einem der vorhergehenden An- sprüche, dadurch gekennzeichnet, daß die optoelek- tronische Vorrichtung (1) einen beidseitig verspiegelten, ersten Spiegel (8) aufweist, dessen eine Seite im zur Druckschablone (3) führenden Strahlengang und dessen andere Seite im zur Leiter- platte (5) führenden Strahlengang liegt.
12. Vorrichtung nach einem der vorhergehenden An- sprüche, dadurch gekennzeichnet, daß jeder Seite des ersten Spiegels (8) ein halbdurchlässiger zweiter beziehungsweise dritter Spiegel (9,10) zugeord- net ist.
13. Vorrichtung nach einem der vorhergehenden An- sprüche, dadurch gekennzeichnet, daß dem zweiten und dem dritten Spiegel (9,10) jeweils eine erste beziehungsweise zweite Optik (13,14) zugeordnet ist.
14. Vorrichtung nach einem der vorhergehenden An- sprüche, dadurch gekennzeichnet, daß dem zweiten und dem dritten Spiegel (9,10) jeweils ein erster beziehungsweise zweiter Bilderfassungssensor (11,12) zugeordnet ist.

15. Vorrichtung nach einem der vorhergehenden An- sprüche, dadurch gekennzeichnet, daß die erste Optik (13) zwischen dem zweiten Spiegel (9) und dem ersten Bilderfassungssensor (11) und daß die zweite Optik (14) zwischen dem dritten Spiegel (10) und dem zweiten Bilderfassungssensor (12) liegt.
16. Vorrichtung nach einem der vorhergehenden An- sprüche, dadurch gekennzeichnet, daß eine erste Beleuchtungsquelle (15) mit dem zweiten Spiegel (9) zusammenwirkt.
17. Vorrichtung nach einem der vorhergehenden An- sprüche, dadurch gekennzeichnet, daß eine zweite Beleuchtungsquelle (16) mit dem dritten Spiegel (10) zusammenwirkt.
18. Vorrichtung nach einem der vorhergehenden An- sprüche, dadurch gekennzeichnet, daß das Licht einer ringförmigen, etwa ringförmigen oder teilring- förmigen dritten Beleuchtungsquelle (19) der optoelektronischen Vorrichtung (1) auf die Leiter- platte (5) gerichtet ist.
19. Vorrichtung nach einem der vorhergehenden An- sprüche, dadurch gekennzeichnet, daß die dritte Beleuchtungsquelle (19) den Strahlengang zwischen dem ersten Spiegel (8) und der Leiterplatte (5) umgibt.
20. Vorrichtung nach einem der vorhergehenden An- sprüche, dadurch gekennzeichnet, daß die dritte Beleuchtungsquelle (19) von mehreren Licht emittie- renden Dioden (LED's) gebildet ist.

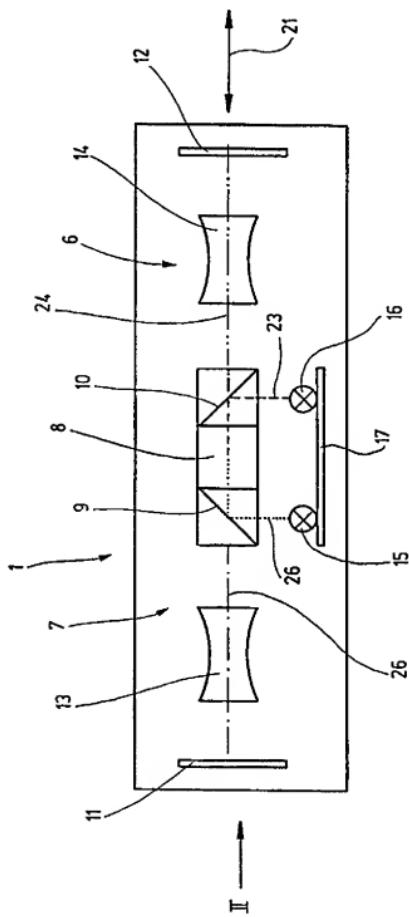


Fig. 1

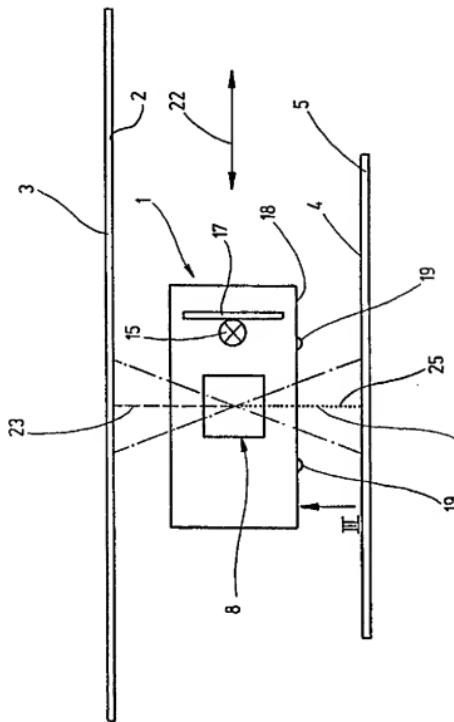


Fig. 2

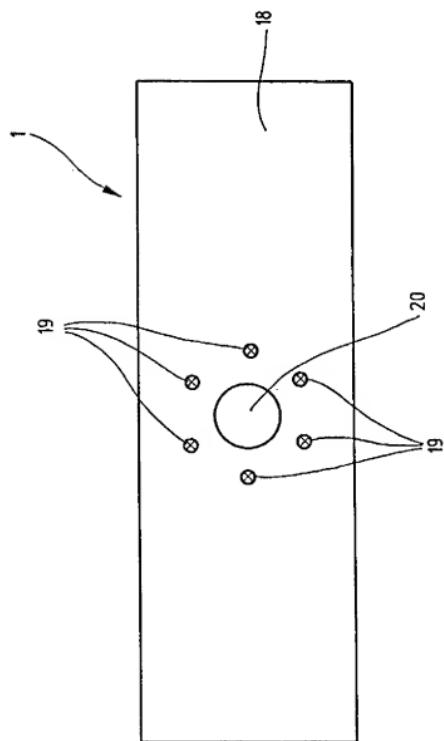


Fig. 3

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/EP 98/02496

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 6 H05K3/12 G06K7/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHEDMinimum documentation searched (classification system followed by classification symbols)
 IPC 6 H05K G06K B23K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 39 28 527 A (IND SIEBDRUCK SYSTEME NECKARWE) 14 March 1991 see column 3, line 23 - column 7, line 10; figure 4	1-10
A	see the whole document	11-20
X	EP 0 394 568 A (MPM CORP) 31 October 1990 see column 3, line 12 - column 5, line 38; figure 1	1-103
A	see the whole document	11-20
A	DE 42 39 995 A (FRITSCH ADALBERT) 1 June 1994 see column 4, line 29 - column 6, line 64; figure 1	1-20
	---	---

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

11 September 1998

Date of mailing of the international search report

22/09/1998

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patenttaan 2
NL - 2280 RZ, The Hague
Tel: (+31-70) 340-2040, Tx: 31 651 epo nl.
Fax: (+31-70) 340-3016

Authorized officer

Torti, C

1

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP 98/02496

C(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A,P	EP 0 786 702 A (USHIO ELECTRIC INC) 30 July 1997 see the whole document	1-20
A	EP 0 379 013 A (SANYO ELECTRIC CO) 25 July 1990 see the whole document	1-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 98/02496

Patent document cited in search report		Publication date	Patent family member(s)			Publication date
DE 3928527	A	14-03-1991	NONE			
EP 0394568	A	31-10-1990	CA	1320828 A	03-08-1993	
			US	4924304 A	08-05-1990	
			US	RE34615 E	24-05-1994	
DE 4239995	A	01-06-1994	DE	59303665 D	10-10-1996	
			WO	9413125 A	09-06-1994	
			EP	0626125 A	30-11-1994	
EP 0786702	A	30-07-1997	JP	9189519 A	22-07-1997	
EP 0379013	A	25-07-1990	JP	2276642 A	13-11-1990	
			JP	2283097 A	20-11-1990	
			JP	8034346 B	29-03-1996	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 98/02496

A. KLASSEFIZIERTUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 H05K3/12 G06K7/10

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüftoff (Klassifikationssystem und Klassifikationssymbole)
IPK 6 H05K G06K B23K

Recherchierte aber nicht zum Mindestprüftoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gabiate fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Beitracht kommenden Teile	Betr. Anspruch Nr.
X	DE 39 28 527 A (IND SIEBDRUCK SYSTEME NECKARWE) 14. März 1991 siehe Spalte 3, Zeile 23 - Spalte 7, Zeile 10; Abbildung 4	1-10
A	siehe das ganze Dokument	11-20
X	EP 0 394 568 A (MPM CORP) 31. Oktober 1990 siehe Spalte 3, Zeile 12 - Spalte 5, Zeile 38; Abbildung 1	1-103
A	siehe das ganze Dokument	11-20
A	DE 42 39 995 A (FRITSCH ADALBERT) 1. Juni 1994 siehe Spalte 4, Zeile 29 - Spalte 6, Zeile 64; Abbildung 1	1-20
	---	---/---

X Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

X Siehe Anhang Patentfamilie

* Besondere Kategorien von angezeigten Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"B" älteres Dokument, das jedoch erst aus oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungspatent entstandene Rechtslage beeinflusst wird. Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine militärische Dienstbarkeit bezieht

"P" Veröffentlichung, die dem internationalen Anmeldedatum, aber nach dem beantragten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht konkurriert, sondern nur zur Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung als neu oder auf erforderlicher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung, die in Verbindung mit einer anderen Veröffentlichung mit einer einzelnen Erfindung verbunden ist, wenn die Veröffentlichung dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"8" Veröffentlichung, die Mitglied einer Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

Absendedatum des internationalen Rechercheberichts

11. September 1998

22/09/1998

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentanlagen 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax: (+31-70) 340-3018

Bewilligter Bedarfsträger

Torti, C

1

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 98/02496

C(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A,P	EP 0 786 702 A (USHIO ELECTRIC INC) 30.Juli 1997 siehe das ganze Dokument -----	1-20
A	EP 0 379 013 A (SANYO ELECTRIC CO) 25.Juli 1990 siehe das ganze Dokument -----	1-20

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 98/02496

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
DE 3928527	A	14-03-1991	KEINE		
EP 0394568	A	31-10-1990	CA 1320828 A US 4924304 A US RE34615 E		03-08-1993 08-05-1990 24-05-1994
DE 4239995	A	01-06-1994	DE 59303665 D WO 9413125 A EP 0626125 A		10-10-1996 09-06-1994 30-11-1994
EP 0786702	A	30-07-1997	JP 9189519 A		22-07-1997
EP 0379013	A	25-07-1990	JP 2276642 A JP 2283097 A JP 8034346 B		13-11-1990 20-11-1990 29-03-1996